

Sommario

<i>INTRODUZIONE</i>	2
<i>SINTESI DI UNA RETE LOGICA COMBINATORIA CON MULTIPLEXER</i>	3
<i>ANALISI DI UNA RETE LOGICA COMBINATORIA CONTENENTE MULTIPLEXER</i>	5
<i>POTENZIALITÀ DI UN MULTIPLEXER</i>	6
<i>APPLICAZIONI</i>	6
<i>MUX TTL E CMOS</i>	8
<i>BIBLIOGRAFIA</i> :.....	8

MULTIPLEXER DIGITALI Teoria e applicazioni

prof. Cleto Azzani
IPSIA Moretto Brescia

aprile 1994

Introduzione

Scopo della presente trattazione è lo studio del Multiplexer come sintetizzatore universale di reti logiche combinatorie. Si premette che un Multiplexer è un circuito logico combinatorio che presenta:

- N_S ingressi di selezione dati,
- 2^{N_S} ingressi dati,
- 1 uscita Y .

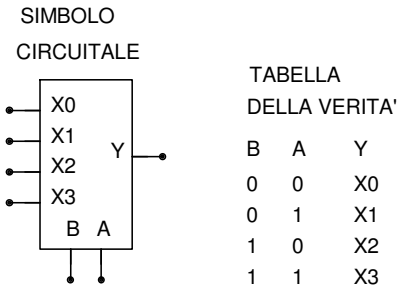


fig. 1 MPX a 2 ingressi di selezione

In fig. 1 è rappresentato il simbolo circuitale e la tabella di funzionamento di un MUX con $N_S=2$. Il legame matematico fra ingresso e uscita, è del tipo :

$$U = x_0 \cdot \bar{B} \cdot \bar{A} + x_1 \cdot \bar{B} \cdot A + x_2 \cdot B \cdot \bar{A} + x_3 \cdot B \cdot A \quad 1.1$$

In fig. 2 è rappresentata una possibile struttura circuitale interna del MUX; in sostanza essa comprende una decodifica connessa agli ingressi di selezione, 2^{N_S} porte AND connesse da un lato alla decodifica interna e dall'altro agli ingressi dati, una porta OR connessa all'uscita Y .

È estremamente facile ricavare la 1.1 analizzando la struttura circuitale riportata in fig. 2.

È interessante verificare che un MUX è un *elemento combinatorio universale*, è infatti possibile dimostrare che:

Con un MUX ed una porta NOT è possibile sintetizzare una qualsiasi funzione logica in N_S+1 variabili (ove N_S rappresenta il numero di ingressi di selezione).

Supponiamo di considerare una rete logica combinatoria a 3 ingressi: C, B, A ed una uscita U; che sintetizzata nella forma canonica dia luogo alla seguente espressione:

$$U = \bar{C} \cdot \bar{B} \cdot \bar{A} + \bar{C} \cdot \bar{B} \cdot A + \bar{C} \cdot B \cdot \bar{A} + C \cdot B \cdot A \quad 1.2$$

Essa è costituita da 4 minterm (4 valori 1 nella tabella della verità). È facile porre nella 1.1 :

$$\begin{aligned} x_0 &= \bar{C} & x_1 &= \bar{C} \\ x_2 &= \bar{C} & x_3 &= C \end{aligned}$$

e verificare di conseguenza che si ottiene la 1.2 .

Più in generale si consideri un qualsiasi termine dell'espressione 1.1; ad esempio il termine $X_3 BA$ su di esso si possono fare le seguenti considerazioni:

1. -porre $x_3 = C$ equivale a fare generare al Multiplexer il solo minterm $C \cdot B \cdot A$
2. -porre $x_3 = \bar{C}$ equivale a fare generare al Multiplexer il solo minterm $\bar{C} \cdot B \cdot A$
3. -porre $x_3 = 0$ significa escludere i due minterm $\bar{C} \cdot B \cdot A$ e $C \cdot B \cdot A$
4. -porre $x_3 = 1$ equivale a fare generare al Multiplexer i due minterm $\bar{C} \cdot B \cdot A$ e $C \cdot B \cdot A$ infatti risulta: $BA = (\bar{C} + C)BA = \bar{C}BA + CBA$

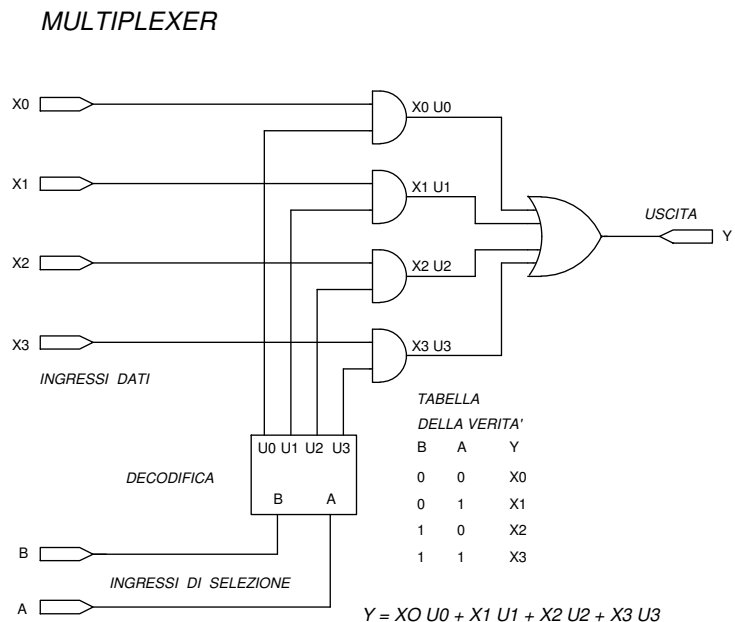


fig. 2 Struttura circuitale interna di un MPX

In altri termini in un MUX a 2 ingressi di selezione (e 4 ingressi-dati) è contenuta la potenzialità di generare una qualsiasi delle possibili funzioni logiche combinatorie in 3 variabili.

È facile rendersi conto di come ciò sia possibile: infatti i minterm di una funzione logica in 3 variabili sono 8; a due a due possono essere associati ai quattro ingressi-dati X_0, X_1, X_2, X_3 .

X_0	$C \cdot \bar{B} \cdot \bar{A}$	$\bar{C} \cdot \bar{B} \cdot \bar{A}$	$00 \leftrightarrow \bar{B} \cdot \bar{A}$
X_1	$C \cdot \bar{B} \cdot A$	$\bar{C} \cdot \bar{B} \cdot A$	$01 \leftrightarrow \bar{B} \cdot A$
X_2	$C \cdot B \cdot \bar{A}$	$\bar{C} \cdot B \cdot \bar{A}$	$10 \leftrightarrow B \cdot \bar{A}$
X_3	$C \cdot B \cdot A$	$\bar{C} \cdot B \cdot A$	$11 \leftrightarrow B \cdot A$

È immediato verificare che nella situazione limite $X_0=0, X_1=0, X_2=0, X_3=0$ nessun minterm viene generato dal MUX e in quella $X_0=1, X_1=1, X_2=1, X_3=1$ tutti gli 8 minterm vengono generati dal MUX. È evidente che essendo quattro gli ingressi-dati a disposizione e quattro le possibilità per ciascun ingresso, complessivamente avremo a disposizione $4^4=256$ situazioni diverse. Ma la tabella di verità di una rete logica combinatoria a 3 ingressi presenta ben 8 diversi valori per l'uscita e quindi $2^8=256$ rappresenta la totalità delle funzioni logiche a 3 variabili che si possono realizzare.

Sintesi di una Rete Logica Combinatoria con MULTIPLEXER

Esiste un metodo generale per procedere alla sintesi di una funzione logica combinatoria mediante MUX.

- 1) - Si parte da una generica funzione logica combinatoria in N variabili (con N da 2 a 5);
- 2) - Per la sintesi si deve scegliere un MUX con $N_s = N - 1$ ingressi di selezione (se $N = 4$ si dovrà usare un MUX a 3 ingressi di selezione e 8 Ingressi dati);
- 3) - Dalla tabella della verità esplicita (TE) si passa ad una delle possibili tabelle implicite (TI) ottenute sopprimendo fra gli ingressi una delle variabili (A oppure B oppure C ... ecc.).

La tabella così ottenuta si dice implicita perchè i valori delle variabili di uscita non sono definiti in modo esplicito (con 0 e 1) ma dipendono dallo stato logico assunto dalla variabile soppressa.

La compilazione della TI comporta una attenta analisi sulla dipendenza dell'uscita dalla variabile che si è deciso di sopprimere. Innanzitutto la TI presenta metà righe rispetto a quelle presenti nella TE; è ovvio che ad una riga della TI corrispondono due righe della TE. Se ad esempio sopprimiamo C in una TE che comprende le variabili C, B, A, la TE presenterà 8 righe mentre la TI ne presenterà solamente 4; due a due le righe della TE possono essere associate ad una riga della TI. Per facilitare la trattazione e meglio esemplificare si consideri l'esempio proposto nella tavola MUX- sintesi riportata in figura 3.

La prima riga della TI deriva dalla fusione delle due righe (1^a e 5^a) della TE in quanto queste presentano la identica combinazione delle variabili B ed A (entrambe a 0). Nella 1^a riga della TE, $C = 0$ e $Y = 0$, nella 5^a riga della TE, $C = 1$ e $Y = 0$; si può quindi concludere che Y è sempre 0 (indipendentemente da C) in questi due casi; si riporta perciò 0 nella 1^a riga della TI.

Analizzando ora le righe 2 e 6 della TE che danno origine alla 2^a riga della TI si osserva che: se $C = 0$ (riga 2) $Y = 0$, se $C = 1$ (riga 6) $Y = 1$ dunque $Y=C$; si riporta pertanto C nella 2^a riga della TI. Procedendo in modo analogo si può concludere che, con $B=1$ ed $A=0$ risulta $Y = C$ e con $B=1$ ed $A=1$ risulta $Y = 1$.

4)- A questo punto confrontando la TI così ottenuta con la Tabella della Verità di un MUX con $N_S=2$ è immediato desumere il seguente prospetto :

$$\begin{aligned} X_0 &= 0 \\ X_1 &= C \\ X_2 &= C \\ X_3 &= 1 \end{aligned} \qquad 1.3$$

Esso rappresenta le connessioni che devono essere effettuate per sintetizzare la funzione logica desiderata.

Si noti che la variabile C, soppressa nella TE, compare nelle colonne delle uscite della tabella implicita e quindi viene connessa agli ingressi-dati del MUX (in forma dritta o negata).

Le variabili di ingresso B ed A vengono sempre connesse agli ingressi di selezione del MUX.

Nella sintesi di una rete combinatoria a più uscite si devono impiegare tanti MUX quante sono le funzioni e quindi le uscite da realizzare.

È interessante, a conclusione di questo esercizio dimostrativo verificare che effettivamente la mappa delle connessioni 1.3 permette di generare tutti e solo i minterm richiesti nella TE di partenza dai metodi canonici di sintesi di una funzione logica. È noto infatti che ad ogni ingresso possiamo associare due minterm potenzialmente generabili dal MUX:

$$\begin{array}{lll} X_0 & C \cdot \bar{B} \cdot \bar{A} & \bar{C} \cdot \bar{B} \cdot \bar{A} \quad 00 \leftrightarrow \bar{B} \cdot \bar{A} \\ X_1 & C \cdot \bar{B} \cdot A & \bar{C} \cdot \bar{B} \cdot A \quad 01 \leftrightarrow \bar{B} \cdot A \\ X_2 & C \cdot B \cdot \bar{A} & \bar{C} \cdot B \cdot \bar{A} \quad 10 \leftrightarrow B \cdot \bar{A} \\ X_3 & C \cdot B \cdot A & \bar{C} \cdot B \cdot A \quad 11 \leftrightarrow B \cdot A \end{array}$$

La scelta $X_0 = 0$ sopprime di fatto i primi due, la scelta $X_1 = C$ considera presente il 3[^] ed esclude il 4[^], la scelta $X_2 = C$ considera presente il 5[^] ed esclude il 6[^], la scelta $X_3 = 1$ considera presenti il 7[^] e l' 8[^].

I minterm presenti nella Y sono perciò 4 in perfetta sintonia con i metodi di sintesi canonica.

TABELLA ESPLICITA

INGRESSI			USCITE		
C	B	A	Y	Z	T
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	0	1
0	1	1	1	1	0
1	0	0	0	0	1
1	0	1	1	1	0
1	1	0	1	0	0
1	1	1	1	0	0

TABELLA IMPLICITA

INGRESSI		USCITE		
B	A	Y	Z	T
0	0	0	0	1
0	1	C	1	0
1	0	C	0	/C
1	1	1	/C	0

TABELLA DELLA VERITA' MPX

B	A	Y
0	0	X0
0	1	X1
1	0	X2
1	1	X3

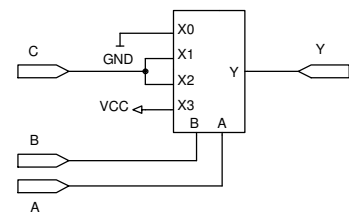


fig. 3 Esempio di sintesi mediante MPX

Analisi di una Rete Logica Combinatoria contenente MULTIPLEXER

L'analisi di una rete logica combinatoria contenente MUX può essere condotta facilmente percorrendo a ritroso il cammino indicato nel paragrafo relativo alla sintesi.

Si supponga di avere un circuito, contenente MUX, e si voglia risalire alla tabella della verità esplicita TE del circuito. Per prima cosa si potrà costruire senza problemi la tabella di verità implicita analizzando i collegamenti effettuati sugli ingressi di selezione e sugli ingressi-dati del MUX in questione; successivamente, individuate le corrispondenze fra righe della TI e righe della TE, si potrà con un ragionamento inverso a quello adottato nel caso del procedimento di sintesi, costruire la TE della rete logica in questione.

A titolo di esempio si consideri il circuito logico n. 2 riportato in fig. 4; in esso risulta:

$$\begin{aligned} X_0 &= C \\ X_1 &= 1 \\ X_2 &= 0 \\ X_3 &= C \end{aligned}$$

Tabella Implicita

	B	A	Y2
1	0	0	C
2	0	1	1
3	1	0	0
4	1	1	C

Tabella Esplicita

	C	B	A	Y2
1	0	0	0	0
2	0	0	1	1
3	0	1	0	0
4	0	1	1	0
5	1	0	0	1
6	1	0	1	1
7	1	1	0	0
8	1	1	1	1

Il procedimento di passaggio dalla sintetizzata come segue: la riga 1 in TE le righe 1 e 5; poichè con B A = 0 0, Y2 = C, nella riga 1 di TE si avrà Y2 = 0 perchè C=0, mentre nella riga 5 di TE si avrà Y2 = 1 perchè C=1; la riga 2 di TI ha come corrispondenti in TE le righe 2 e 6: poichè con B A = 0 1, Y2 = 1, in entrambe le righe 2 e 6 di TE si avrà Y2 = 1 e così via dicendo. È semplice verificare che la TE di cui sopra individua una funzione logica dotata di 4 minterm; la riga 1 di TI provvede a generare 1 minterm, la 2 genera 2 minterm, la 3 nessun minterm e la 4 genera 1 minterm.

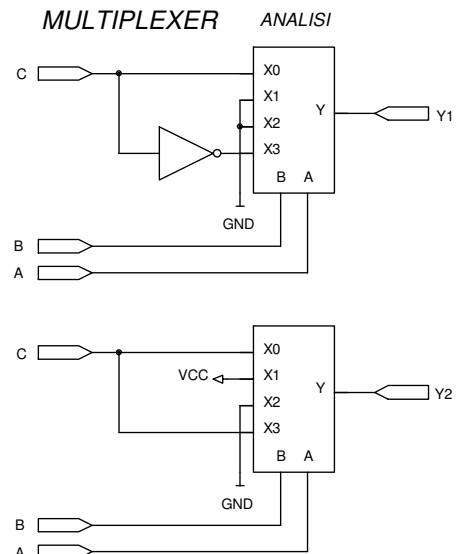


fig. 4 Esempi di reti combinatorie contenenti MPX

1.4

Potenzialità di un MULTIPLEXER

Da quanto illustrato nei precedenti paragrafi è facile convincersi quale sia in concreto la potenzialità di un MUX visto come elemento universale adatto a sintetizzare reti logiche combinatorie.

La tabella riportata di seguito fornisce una idea numerica della potenzialità di un MUX:

N_S	2^{N_S}	Funz. Log.	Potenzialità
2	4	3	256
3	8	4	65536
4	16	5	4294967296

Con un MUX a 2 ingressi di selezione si hanno 4 ingressi-dati, con tale MUX è possibile sintetizzare una qualsiasi fra le 256 possibili funzioni logiche in 3 variabili; con un MUX a 3 ingressi di selezione si hanno 8 ingressi-dati; con tale MUX è possibile sintetizzare una qualsiasi fra le 65536 possibili funzioni logiche in 4 variabili. Si noti la smisurata potenzialità di un MUX a 4 ingressi di selezione: oltre 4 miliardi di funzioni logiche in 5 variabili !!!

Non vanno sottovalutati, data la notevole importanza sotto il profilo applicativo, altri due importanti settori di impiego del MUX:

- Nel settore delle reti Telefoniche Multiplex nel dominio del tempo (MUX analogici) ma l'argomento non può in questa sede essere trattato;
- Nella tecnologia dei chip LSI e VLSI ove si realizzano di norma collegamenti digitali multiplexati allo scopo di ridurre il numero complessivo dei pin dei CI di cui sopra.

Applicazioni

Lo schema di fig. 6 propone una soluzione economica che usa la tecnica di Multiplexing dei dati.

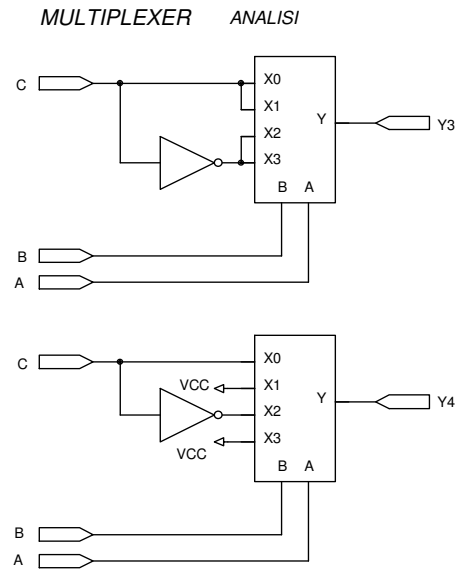


FIG. 5 Reti combinatorie con MPX

APPLICAZIONI

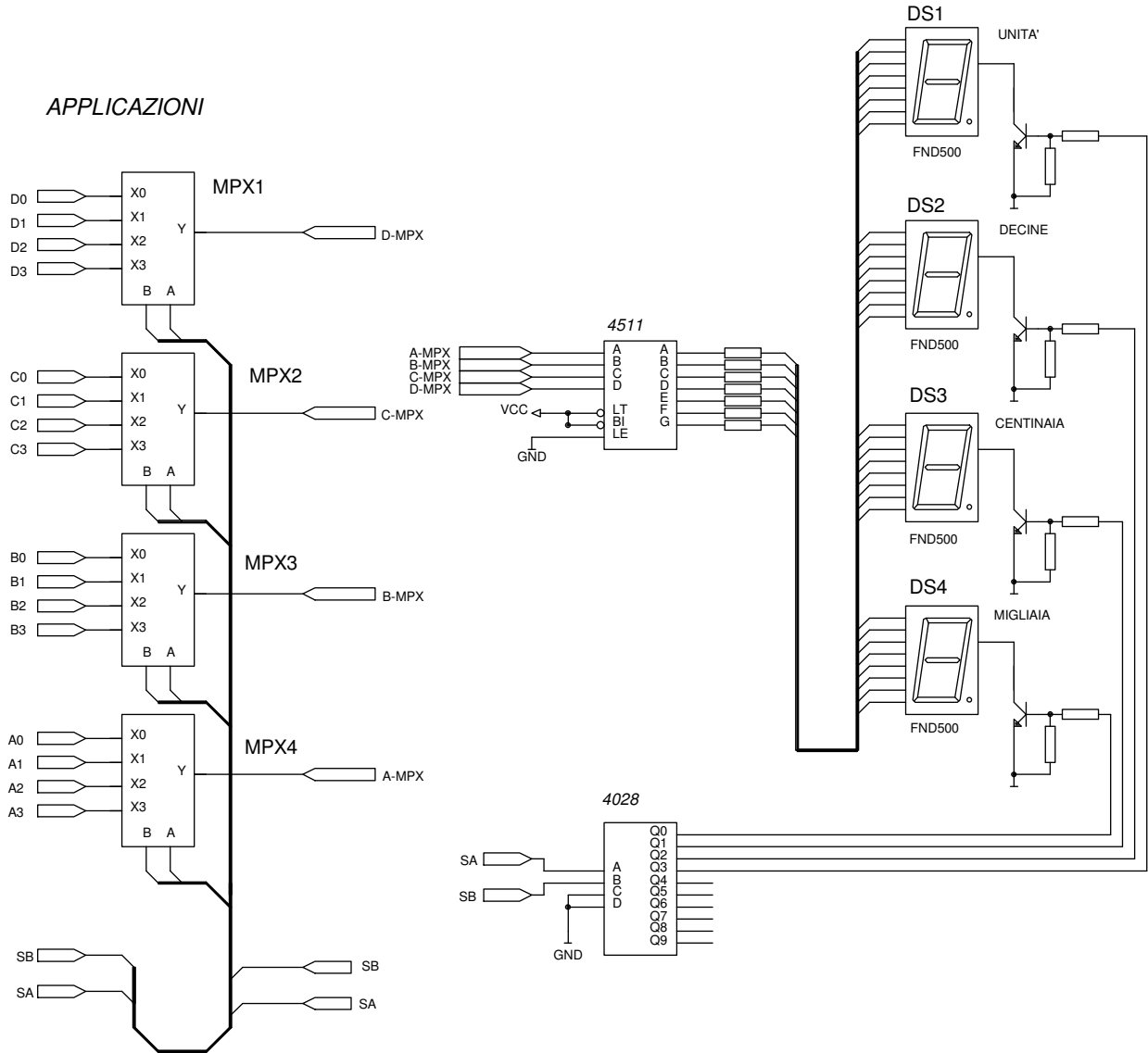


fig. 6 Impiego di MPX in sistemi di visualizzazione dati

$D_0C_0B_0A_0$ rappresentano i 4 bit della cifra meno significativa (unità) del dato da visualizzare in modo analogo $D_1C_1B_1A_1$ e $D_2C_2B_2A_2$ rappresentano i digit successivi (decine e centinaia) mentre $D_3C_3B_3A_3$ rappresentano il digit più significativa (migliaia). Come si vede MUX1 raccoglie i quattro "bit D", MUX2 raccoglie i quattro bit C, MUX3 raccoglie i quattro bit B e MUX4 raccoglie i quattro bit A. A seconda della combinazione logica presente sugli ingressi SB ed SA, forniti da un apposito circuito, i quattro MUX canalizzano sulle uscite D-MUX, C-MUX, B-MUX, A-MUX solo uno dei quattro digit da visualizzare; se la successione delle combinazioni è quella usuale (00 01 10 11) nell'ordine si avranno prima le unità poi le decine poi le centinaia e quindi le migliaia. Le quattro uscite dei multiplexer pervengono agli ingressi DCBA di un decoder-driver per display a 7 segmenti a catodo comune (4511) il quale alimenta in parallelo i sette anodi *abcdefg* di 4 display FND500. Poiché i segnali di selezione SB SA giungono pure ad un decoder 4028, in un determinato istante solo uno dei quattro display DS1, DS2, DS3, DS4 si troverà in condizioni ON. Ovviamente la velocità con cui si susseguono le varie combinazioni sugli ingressi di selezione deve essere tale da fornire in ricezione l'impressione che i 4 display siano tutti accesi.

MUX TTL e CMOS

In fig. 7 sono riportati i componenti più diffusi delle famiglie TTL e C-MOS:

nella famiglia TTL sono disponibili un MUX doppio a 2 ingressi di selezione (74LS153), un MUX a 3 ingressi di selezione (74LS151) ed un MUX a 4 ingressi di selezione (74LS150)

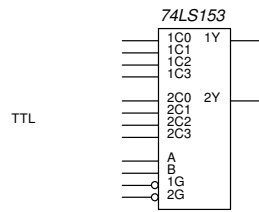
nella famiglia C-MOS sono disponibili tre MUX analogici che possono quindi funzionare anche in digitale con il vantaggio che invertendo ingressi e uscite diventano dei demultiplexer DMUX 4053 MUX/DMUX triplo con un ingresso di selezione;

4052 MUX/DMUX doppio con due ingressi di selezione;

4051 MUX/DMUX singolo con tre ingressi di selezione;

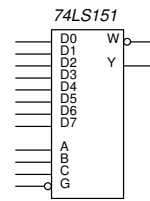
4512 MUX digitale singolo con tre ingressi di selezione.

MULTIPLEXER

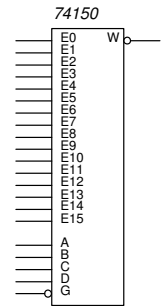


DOPPIO MPX A 4I
FAMIGLIA TTL
1G ATTIVA MPX1
2G ATTIVA MPX2
Y=0 SE MPX NON
E' ATTIVO.

DISPOSITIVI COMMERCIALI

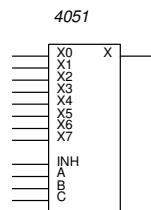


MPX A 8I
FAMIGLIA TTL
G ATTIVA MPX
W = Y
Y=0 SE MPX NON
E' ATTIVO.

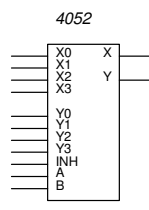


MPX A 16I
FAMIGLIA TTL
G ATTIVA MPX
W=1 SE MPX NON
E' ATTIVO.

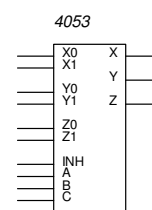
C/MOS



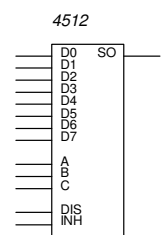
MPX 8I CMOS
ANALOGICO BIDIR.
INH MANDA X IN
ALTA IMPED.



DOPPIO MPX 4I CMOS
ANALOGICO BIDIR.
INH MANDA X e Y IN
ALTA IMPEDENZA.



TRIPLO MPX 2I CMOS
ANALOGICO BIDIR.
INH MANDA X, Y e Z IN
ALTA IMPEDENZA.



MPX 8I CMOS
DIGITALE
DIS MANDA SO IN
ALTA IMPED.
INH PORTA USCITA A 0

BIBLIOGRAFIA :

- Fairchild Semiconductor The TTL Application Handbook
- Texas Instruments The TTL Data Book
- National Semiconductor CMOS Logic Databook

Aug. 1973
vol 1 e 2 1989
1988