

INTRODUZIONE .....	2
INTERFACCIA TRANSISTOR NPN - RELÈ .....	2
INTERFACCIA TRANSISTOR NPN - DIODO LED.....	3
<i>Dimensionamento del circuito:</i> .....	3
INTERFACCIA 2 TRANSISTOR NPN - DIODO LED .....	4
INTERFACCIA 3 TRANSISTOR NPN - DIODO LED .....	4
PORTA OR A DIODI .....	4
PORTA AND A DIODI .....	5
PORTA NOT A BJT (PRIMO TIPO USATO IN AMBITO C-MOS).....	6
PORTA NOT A BJT (SECONDO TIPO USATO IN AMBITO TTL) .....	7
PORTA NAND A BJT ( DTL) .....	8
<i>Bibliografia</i> .....	8

*Semiconduttori, Diodi Transistori (parte II)*

prof. Cleto Azzani  
 IPSIA Moretto Brescia  
 Rev. 1998

## Introduzione

In questo fascicoletto vengono studiati alcuni circuiti transistorizzati fra i più comuni. Lo scopo è quello di presentare il principio di funzionamento dei circuiti e in alcuni casi semplici presentare i criteri su cui è basata la progettazione degli stessi. Per familiarizzare con l'uso di BJT esaminiamo alcuni circuiti; in alcuni casi ci limiteremo a descriverli; in altri casi faremo una analisi del funzionamento; in altri casi presenteremo le formule di progetto o di sintesi.

## Interfaccia transistor NPN - relè

Descriviamo le modalità di funzionamento del circuito di figura 1. Con interruttore S1 aperto la intensità di corrente attraverso R1 è nulla; di conseguenza  $I_b=0$  quindi  $I_c=0$  (Transistor interdetti e relè K1 diseccitato). Con interruttore S1 chiuso, R1 sarà percorsa da corrente; la base del BJT sarà percorsa da corrente tale per cui il BJT dovrà risultare saturo; così comportandosi infatti,  $V_{ce}$  sarà approssimativamente nulla ( $V_{CE_{SAT}} = 0,3V \approx 0V$ ) e quindi il relè risulterà eccitato.

### Dimensionamento del circuito:

In condizione di saturazione la tensione ai capi del carico (relè K1) risulta data dalla relazione  $V_{CC} - V_{CE_{sat}} \cong V_{CC}$  per cui la corrente di collettore potrà essere ritenuta coincidente con quella del relè pari a 50 mA. Nota  $I_c$  è possibile calcolare  $I_b$  usando la relazione :

$$I_B = \frac{I_C}{h_{FE \min}} = \frac{50mA}{50} = 1mA$$

R2 è posta in parallelo alla giunzione BE del BJT; essa svolge la funzione di mantenere a potenziale rigorosamente nullo la Base del BJT quando l'interruttore S1 risulta aperto; solitamente viene dimensionata in modo da assorbire in condizioni di transistor saturo, una corrente pari ad una frazione di  $I_b$  (1% al 10%) per cui risulta :

$$I_{R2} = \frac{V_{BE}}{R_2} = 5\% I_B = 50\mu A \qquad R_2 = \frac{0,6V}{50\mu A} = 12K$$

$$I_{R1} = I_B + I_{R2} = 1,05mA$$

Applicando la KVL (II° principio di Kirchhoff alla maglia di ingresso) risulta:

$$V_{R1} = V_{CC} - V_{BE} = 11,4V \qquad V_{R1} = R_1 \cdot I_{R1}$$

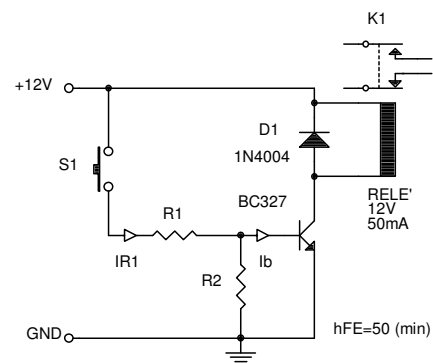


Figura 1

da cui è immediato dedurre :

$$R_1 = \frac{V_{R1}}{I_{R1}} = \frac{11,4V}{1,05mA} = 10857\Omega$$

I valori commerciali attorno al valore teorico ora calcolato sono : 8K2, 10K, 12K. Scegliendo il valore 12K non si ha la sicurezza della perfetta saturazione del BJT; scegliendo 10K il circuito funzionerà correttamente solo se il valore reale di R2 coincide con quello nominale (codice dei colori); scegliendo 8,2K la corrente di base Ib risulterà leggermente superiore al valore calcolato assicurando così la saturazione del BJT con un margine di sicurezza.

Il diodo D1 connesso in parallelo al relè elimina le sovratensioni di origine induttiva (avvolgimento del relè) che nascono quando il BJT si interdice; sovratensioni che distruggerebbero irrimediabilmente il BJT. D1 risulta polarizzato inversamente quando il relè è eccitato; si polarizza direttamente quando il relè si diseccita (BJT da ON a OFF) e rimane polarizzato direttamente fino allo smaltimento completo dell'energia magnetica immagazzinata nell'avvolgimento del relè.

$$W_M = \frac{1}{2} L \cdot I^2$$

### Interfaccia transistor NPN - diodo LED

Nel circuito di fig. 2, con interruttore S1 aperto la intensità di corrente attraverso R1 è nulla; di conseguenza Ib=0 quindi Ic=0 (Transistor interdetti e LED spento). Con interruttore S1 chiuso, R1 sarà percorsa da corrente; la base del BJT sarà percorsa da corrente tale per cui il BJT dovrà risultare saturo; così comportandosi infatti, Vce sarà approssimativamente nulla e quindi il LED risulterà polarizzato direttamente.

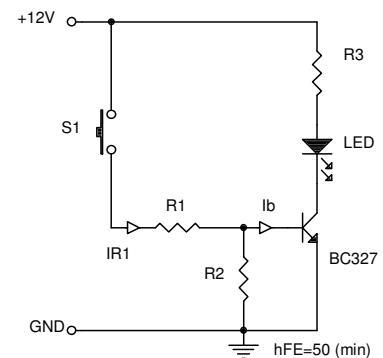


Figura 2

Dimensionamento del circuito:

Scriviamo la KVL alla maglia di uscita; risulta :

$$V_{CC} = R_3 \cdot I_C + V_{CEsat} + V_{DL}$$

assumendo per il LED i seguenti dati  $V_{DL} = 1,4V$        $I_{DL} = 10mA$  risulta:

$$R_3 = \frac{V_{CC} - V_{CEsat} - V_{DL}}{I_C} = \frac{10,3V}{10mA} \cong 1K\Omega$$

Procedendo come nel caso precedente otteniamo i seguenti risultati:

$$I_B = \frac{I_C}{h_{FE\min}} = \frac{10mA}{50} = 0,2mA$$

$$I_{R2} = \frac{V_{BE}}{R_2} = 5\% I_B = 10\mu A$$

$$I_{R1} = I_B + I_{R2} = 210\mu A$$

$$R_1 = \frac{V_{R1}}{I_{R1}} = \frac{11,4V}{210\mu A} = 54,29 K\Omega \quad \text{valore commerciale } 47K$$

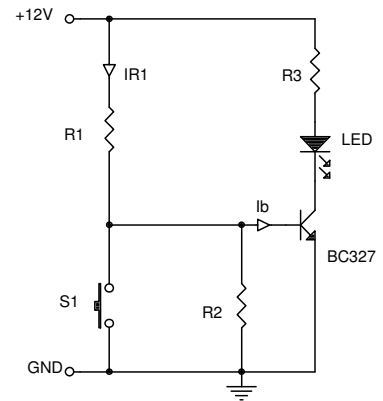


Figura 3

Nel circuito di fig. 3, con interruttore S1 aperto la resistenza R1 è percorsa dalla corrente che in parte passa attraverso R2 ed in parte scorre nella base del BJT; portandolo in saturazione; così comportandosi infatti, Vce sarà approssimativamente nulla e quindi il LED risulterà polarizzato direttamente.

Con interruttore S1 chiuso, la corrente che passa in R1 viene “dirottata a massa” dal contatto ponendo Vbe=0 ciò comporta Ib=0 e di conseguenza il BJT è interdetto ed il LED spento.

### Interfaccia 3 transistor NPN - diodo LED

Con interruttore S1 aperto la resistenza R1 non è percorsa dalla corrente quindi Ib=0 il BJT è interdetto; il LED risulta acceso; con S1 chiuso, circola corrente in R1, circola in base al BJT che dovrà essere saturo e quindi il LED risulta spento in quanto non percorso da corrente che ovviamente preferisce passare attraverso il transistor saturo.

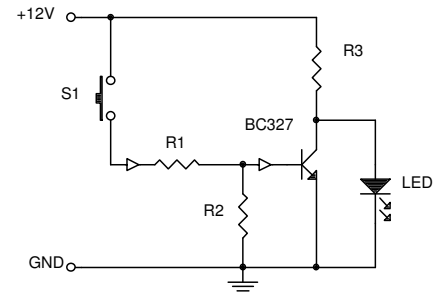


Figura 4

### Porta OR a diodi

In figura 5 è riportata una “porta OR a diodi” ; si tratta di una porta composta da soli elementi passivi (resistori e diodi a semiconduttore). Descriviamo il suo funzionamento con una tabella; in essa figurano nell’ordine le tensioni applicate agli ingressi A e B (che nel nostro esempio possono assumere solo due valori 0V: livello 0 o livello basso e 12V: livello 1 o livello alto); lo stato dei diodi (ON se polarizzato direttamente, OFF se polarizzato inversamente) e la

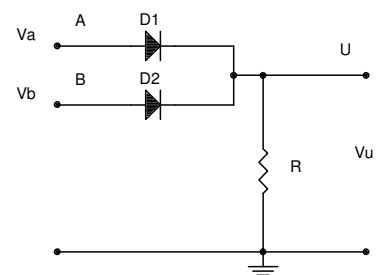


Figura 5

tensione  $V_u$  che appare ai morsetti di uscita (fra uscita e massa) ai capi della resistenza  $R$ .

Dall'esame della tabella si nota che, in un solo caso l'uscita  $V_u$  è pari a 0V: quando  $V_a=V_b=0V$ ; in tutti gli altri casi  $V_u=11.4V$  ( $12V-0,6V$ ). Costruiamoci ora una tabella in cui al posto dei valori di tensione ci siano i "livelli logici" corrispondenti tenendo presente che diremo che un ingresso o una uscita si trova a

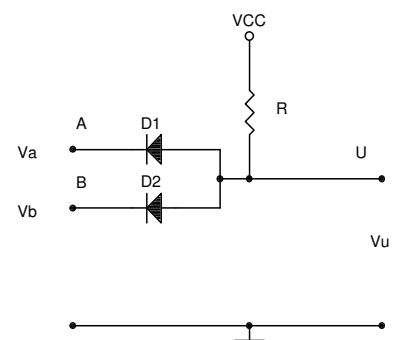
$V_a$	$V_b$	$D1$	$D2$	$V_u$
0 V	0 V	OFF	OFF	0 V
0 V	12 V	OFF	ON	11,4 V
12 V	0 V	ON	OFF	11,4 V
12 V	12 V	ON	ON	11,4 V
Liber o	Libero	OFF	OFF	0 V

"livello basso" quando la tensione di quell'ingresso o di quell'uscita assume valore approssimativamente attorno a 0V; analogamente diremo che un ingresso o una uscita si trova a "livello alto" quando la tensione di quell'ingresso o di quell'uscita assume valore approssimativamente attorno a 12V. La tabella di figura viene chiamata "tabella di verità" della porta OR. L'ultima riga della tabella mette in evidenza che lasciare gli ingressi liberi, ossia non collegati né a livello 0 né a livello 1 equivale da un punto di vista logico a collegarli a livello logico 0. Nella tabella di verità di una porta logica l'ultima riga non viene mai riportata.

A	B	U
0	0	0
0	1	1
1	0	1
1	1	1
Liber o	Libero	0

### Porta AND a diodi

In figura 6 è riportata una porta AND a diodi; si tratta di una porta composta da soli elementi passivi (resistori e diodi a semiconduttore). Descriviamo il suo funzionamento con una tabella; in essa figurano nell'ordine le tensioni applicate agli ingressi A e B (che nel nostro esempio possono assumere solo due valori 0V: livello 0 o livello basso e 12V: livello 1 o livello alto); lo stato dei diodi (ON se polarizzato direttamente, OFF se polarizzato inversamente) e la tensione  $V_u$  che appare ai morsetti di uscita (fra uscita e massa).



Dall'esame della tabella si nota che, in un solo caso l'uscita  $V_u$  è pari a 12V: quando  $V_a=V_b=12V$ ; in tutti gli altri casi  $V_u=0,6V$ .

$V_a$	$V_b$	$D1$	$D2$	$V_u$
0 V	0 V	ON	ON	0,6 V
0 V	12 V	ON	OFF	0,6 V
12 V	0 V	OFF	ON	0,6 V
12 V	12 V	OFF	OFF	12 V
Liber o	Libero	OFF	OFF	12 V

Costruiamoci ora una tabella in cui al posto dei valori di tensione ci siano i "livelli logici" corrispondenti tenendo presente che diremo che un ingresso o una uscita si trova a "livello

basso” quando la tensione di quell’ingresso o di quell’uscita assume valore approssimativamente attorno a 0V; analogamente diremo che un ingresso o una uscita si trova a “livello alto” quando la tensione di quell’ingresso o di quell’uscita assume valore approssimativamente attorno a 12V. La tabella di figura viene chiamata “tabella di verità” della porta AND. L’ultima riga della tabella mette in evidenza che lasciare gli ingressi liberi, ossia non collegati né a livello 0 né a livello 1 equivale da un punto di vista logico a collegarli a livello logico 1. Nella tabella di verità di una porta logica l’ultima riga non viene mai riportata.

A	B	U
0	0	0
0	1	0
1	0	0
1	1	1
Liber o	Libero	1

**Porta NOT a BJT (primo tipo usato in ambito C-MOS)**

In figura 7 è riportata una porta NOT a BJT; si tratta di una porta composta sia da elementi passivi (resistori) sia da elementi attivi BJT. Descriviamo il suo funzionamento con una tabella; in essa figurano nell’ordine la tensione applicata all’ingresso A (che nel nostro esempio può assumere solo due valori 0V: livello 0 o livello basso e 12V: livello 1 o livello alto); lo stato del BJT (ON se saturo, OFF se interdetto) e la tensione Vu che appare ai morsetti di uscita (fra collettore ed emettitore del BJT). Se applico una Va pari a 0V la corrente di base Ib risulta nulla, il transistor risulta interdetto Ic è perciò nulla e con essa la caduta di tensione ai capi di R3. La tensione prelevata in uscita è pari a 12V. Se applico in entrata una Va pari a 12V, circola corrente in base che dovrà assumere valori tali da fare saturare il BJT pertanto in tal caso si avrà in uscita la VCESAT pari a 0,3V. Costruiamoci ora una tabella in cui al posto dei valori di tensione ci siano i “livelli logici” corrispondenti procedendo in modo analogo alle tabelle delle porte OR e AND. La tabella di figura viene chiamata tabella della verità della funzione logica NOT. L’ultima riga della tabella mette in evidenza che lasciare l’ingresso libero nel circuito di fig. 7, ossia non collegarlo né a livello 0 né a livello 1 equivale da un punto di vista logico a collegarlo a livello logico 0.

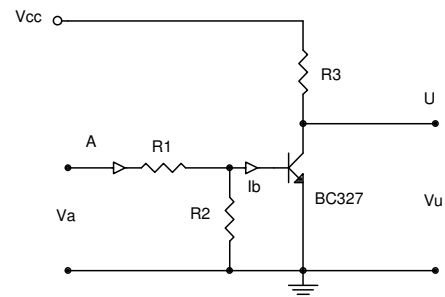


Figura 7

Va	BJT	Vu
0 V	OFF	12V
12 V	ON	0,3V
Liber o	OFF	12 V

A	BJT	U
0	OFF	1
1	ON	0
Liber o	OFF	1

**Porta NOT a BJT (secondo tipo usato in ambito TTL)**

In figura 8 è riportata una porta NOT a BJT; si tratta di una porta composta sia da elementi passivi (resistori e diodi) sia da elementi attivi (BJT). Descriviamo il suo funzionamento con una tabella; in essa figurano nell'ordine la tensione applicata all'ingresso A (che nel nostro esempio può assumere solo due valori 0V: livello 0 o livello basso e 12V: livello 1 o livello alto); lo stato dei diodi D1 e D2 (ON se polarizzato direttamente, OFF se polarizzato inversamente),

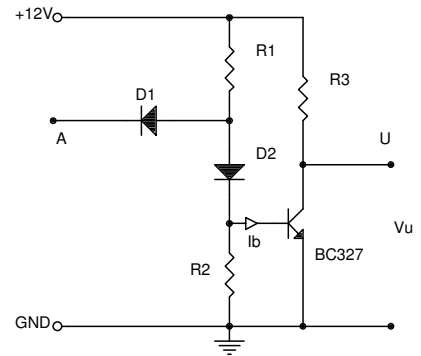


Figura 8

lo stato del BJT (ON se saturo, OFF se interdetto) e la tensione  $V_u$  che appare ai morsetti di uscita (fra collettore ed emettitore del BJT). Se applico una  $V_a$  pari a 0V D1 conduce, D2 non può condurre in quanto la tensione ai capi di D1 (0,6V) risulta insufficiente a far condurre contemporaneamente D2 e la giunzione

$V_a$	D1	D2	BJT	$V_u$
0V	ON	OFF	OFF	12V
12V	OFF	ON	ON	0,3V
Liber o	OFF	ON	ON	0,3V

BE del BJT (servirebbe infatti almeno una c.d.t pari a 1,2V), pertanto  $I_b$  risulta nulla, il transistor risulta interdetto  $I_c$  è nulla e con essa la caduta di tensione ai capi di R3. La tensione prelevata in uscita è pari a 12V. Se applico in entrata una  $V_a$  pari a 12V, D1 risulta interdetto pertanto D2 e la giunzione BE del BJT sono

A	BJT	U
0	OFF	1
1	ON	0
Liber o	ON	0

percorsi da corrente; circola perciò corrente in base che dovrà assumere valori tali da fare saturare il BJT pertanto in tal caso si avrà in uscita la  $V_{CESAT}$  pari a 0,3V. La resistenza R2 connessa fra B ed E del BJT mantiene la base a potenziale di emettitore garantendo la sicura interdizione del BJT quando D2 risulta interdetto; ciò impedisce che “sorgenti di disturbo” prossime alla base del BJT possano provocare la conduzione del BJT quando esso deve rimanere interdetto. Il valore di R2 si sceglie imponendo che la  $IR_2$  assuma un valore compreso fra il 5% e il 10% di  $I_b$  quando la giunzione base emettitore risulta polarizzata direttamente. Costruiamoci ora una tabella in cui al posto dei valori di tensione ci siano i “livelli logici” corrispondenti procedendo in modo analogo alle tabelle delle porte OR e AND. La tabella di figura viene chiamata tabella della verità della funzione logica NOT. L'ultima riga della tabella mette in evidenza che lasciare l'ingresso libero nel circuito di fig. 8, ossia non collegarlo né a livello 0 né a livello 1 equivale da un punto di vista logico a collegarlo a livello logico 1.

### Porta NAND a BJT (DTL)

In figura 9 è riportata una porta NAND a BJT in tecnologia DTL (Diode Transistor Logic / Logica a Diodi e Transistori); si tratta di una porta composta sia da elementi passivi (resistori e diodi) sia da elementi attivi (BJT). Descriviamo il suo funzionamento con una tabella; in essa figurano nell'ordine la tensione applicata agli ingressi A e B (che nel nostro esempio può assumere solo due valori 0V: livello 0 o livello basso e 12V: livello 1 o livello alto); lo stato dei diodi D1, D2 e D3 (ON

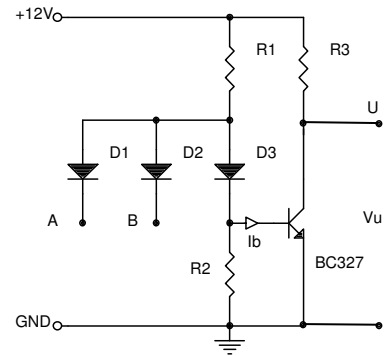


Figura 9

se polarizzato direttamente, OFF se polarizzato inversamente), lo stato del BJT (ON se saturo, OFF se interdetto) e lo stato del LED in serie al circuito di collettore (ON se acceso, OFF se spento). Esaminiamo di questa tabella la riga n. 2 : se applico una  $V_a$  pari a

$V_a$	$V_b$	D1	D2	D3	BJT	$V_u$
0V	0V	ON	ON	OFF	OFF	12V
0V	12V	ON	OFF	OFF	OFF	12V
12V	0V	OFF	ON	OFF	OFF	12V
12V	12V	OFF	OFF	ON	ON	0,3V
Libero	Libero	OFF	OFF	ON	ON	0,3V

0V e una  $V_b$  pari a 12V, D1 conduce, D2 non conduce, D3 non può condurre in quanto la tensione ai capi di D1 (0,6V) risulta insufficiente a far condurre contemporaneamente D3 e la giunzione BE del BJT (servirebbe infatti almeno una c.d.t pari a 1,2V), pertanto  $I_b$  risulta nulla, il transistor risulta interdetto  $I_c$  è nulla e la tensione di uscita  $V_u$  vale 12V. Esaminiamo ora la riga n. 4 : se applico ad entrambi gli ingressi una  $V$  pari a 12V, D1 e

A	B	U
0	0	1
0	1	1
1	0	1
1	1	0
Libero	Libero	0

D2 risultano interdetti, D3 e la giunzione BE del BJT sono polarizzati direttamente; circola perciò corrente in base che dovrà assumere valori tali da fare saturare il BJT pertanto in tal caso si avrà in uscita la  $V_{CESAT}$  pari a 0,3V. Costruiamoci ora una tabella in cui al posto dei valori di tensione ci siano i "livelli logici" corrispondenti procedendo in modo analogo alle tabelle delle porte OR e AND. La tabella di figura viene chiamata tabella della verità della funzione logica NAND. L'ultima riga della tabella mette in evidenza che lasciare l'ingresso libero nel circuito di fig. 9, ossia non collegarlo né a livello 0 né a livello 1 equivale da un punto di vista logico a collegarlo a livello logico 1.

### Bibliografia

Giometti Frascati

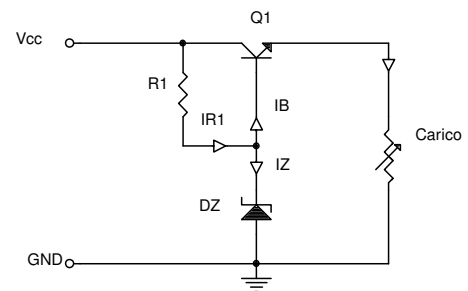
Elettrotecnica Elettronica e Telecomunicazioni vol. 1° e II° per IPSIA - Calderini Bologna

Giometti Frascati

### ***Alimentatori stabilizzati con regolazione serie a BJT***

In figura 10 è riportato un semplice schema di un circuito stabilizzatore a transistor; poiché l'uscita del BJT (Collettore - Elettore) risulta in serie al carico si parla di "regolatore serie". Innanzitutto premettiamo che le cause che provocano una variazione della tensione prelevata in uscita ad un alimentatore "non stabilizzato" sono molteplici:

a) la tensione alternata di rete (220V per le utenze civili; 380V per quelle industriali) non risulta costante nell'arco della giornata; essa risulta massima nelle fasce orarie o nei periodi in cui si ha il minore assorbimento di potenza (orari di chiusura di fabbriche, di stabilimenti etc.) e minima nei periodi di maggiore assorbimento (fasce orarie di contemporanea attività delle fabbriche). Una tensione più elevata sulla rete significa una tensione più elevata sul secondario del trasformatore e quindi una tensione più elevata in uscita al ponte raddrizzatore. Una tensione più bassa sulla rete significa una tensione più bassa sul secondario del trasformatore e quindi una tensione più bassa in uscita al ponte raddrizzatore. I sistemi di stabilizzazione adottati dalle società erogatrici (ENEL o ASM) riducono i margini di fluttuazione che rimangono comunque contenuti entro le percentuali stabilite dal contratto di fornitura. Tali percentuali, per l'alimentazione di un circuito elettronico sono eccessive e pertanto non possono essere accettate.



**Figura 10**

b) il carico  $R_c$  degli apparati elettronici non è mai rappresentabile nemmeno in prima approssimazione da un valore ohmico costante ma piuttosto da un valore variabile. Si pensi ad esempio al circuito che alimenta un amplificatore audio (dello "stereo" di casa) quando poniamo al massimo il "volume" dell'audio, eroghiamo maggiore potenza agli altoparlanti (casse acustiche); questa manovra provoca un maggiore assorbimento di potenza e quindi un maggiore assorbimento di corrente dal circuito alimentatore. Un aumento di corrente assorbita, nel circuito di fig. 10, è causato dalla diminuzione del carico  $R_c$  situazione che su un "circuito non stabilizzato" provoca sempre una riduzione della tensione ai capi del carico. La situazione si capovolge se immaginiamo di abbassare il "volume" dell'audio: erogando minore potenza agli altoparlanti si provoca una riduzione di corrente assorbita e quindi un aumento della tensione ai capi del carico.

Un circuito stabilizzatore serio deve opporsi e reagire alle variazioni di tensione presenti sul carico così da rendere la tensione di uscita verosimilmente costante anche in presenza di consistenti fluttuazioni nella tensione di alimentazione di rete e di consistenti variazioni della corrente assorbita dal carico.

Il circuito di fig. 10 è un primo semplice esempio di come si possa porre rimedio alle problematiche sopra illustrate. Analizziamone ora il funzionamento. Il diodo zener DZ viene polarizzato inversamente (III° quadrante) nella regione di break-down; il valore  $V_Z$  rappresenta il “riferimento di tensione” del circuito stabilizzatore. Infatti si ha :

$$V_u = V_Z - V_{BE} \quad \text{KVL alla maglia di ingresso del BJT Q1}$$

$$I_{R1} = \frac{V_{CC} - V_Z}{R_1} = I_Z + I_B \quad \text{KCL al nodo convergente sulla base di Q1}$$

Osserviamo l'espressione seguente:

$$V_{BE} = V_Z - V_u$$

Se la corrente assorbita dal carico aumenta, la tensione  $V_u$  diminuisce; essendo poi  $V_Z$  costante si avrà un aumento di  $V_{BE}$ , un aumento di  $I_B$  e di riflesso una maggiore conduzione da parte del BJT Q1 che a sua volta causerà un aumento di  $V_u$ .

Se la corrente assorbita dal carico diminuisce, la tensione  $V_u$  aumenta; essendo poi  $V_Z$  costante si avrà una diminuzione di  $V_{BE}$ , una diminuzione di  $I_B$  e di riflesso una minore conduzione da parte del BJT Q1 che a sua volta causerà una diminuzione di  $V_u$ .

Per quanto concerne lo zener, si hanno le seguenti considerazioni:

a) un aumento della corrente sul carico (corrente di emettitore) produce un aumento della corrente di base  $I_B = \frac{I_C}{h_{FE}}$  e una riduzione di  $I_Z = I_{R1} - I_B$ ; con il conseguente rischio di vedere uscire lo zener dalla zona di “breakdown”.

b) una riduzione della corrente sul carico (corrente di emettitore) produce una riduzione della corrente di base  $I_B = \frac{I_C}{h_{FE}}$  e un aumento di  $I_Z = I_{R1} - I_B$ ; con il conseguente

rischio fare superare allo zener la corrente massima  $I_{ZMAX} = \frac{P_{DMAX}}{V_Z}$

Un'altra condizione importante, senza la quale il funzionamento corretto del circuito non è assicurato, è il funzionamento in zona lineare del transistor BJT Q1; condizione che può essere scritta:

$$V_{CE} = V_{CC} - V_u > 0,6V$$

In pratica si fissa la differenza di potenziale minima tra collettore ed emettitore ad almeno 2 - 3 V.

Il circuito di figura 10 ha un grosso difetto se infatti accidentalmente il carico andasse in corto circuito il transistor serie Q1 si distruggerebbe all'istante per eccesso di corrente ma anche di Potenza dissipata; infatti .....