

Istituto Professionale di Stato per l'Industria e l'Artigianato
MORETTO
Via Luigi Apollonio, 21 BRESCIA

Carrello elevatore in tecnologia C-MOS

Realizzazione

Carlo Facchinetti
Guido Franzosi

della classe 5BI a.s. 1995-96

corso per Tecnici delle Industrie Elettriche ed Elettroniche

CARRELLO ELEVATORE A QUATTRO PIANI

PREMESSA

- L'apertura e la chiusura delle porte esterne ed interna e' manuale.
- Quando l'ascensore è in movimento le porte si bloccano automaticamente.
- Ogni passaggio o fermata ad ogni piano viene segnalato da un messaggio vocale.

FUNZIONAMENTO GENERALE

Il funzionamento dell' ascensore si puo' dividere in due parti fondamentali :

- 1) chiamata dall' esterno
- 2) chiamata dall' interno

(1)

Quando l'ascensore viene chiamato dall' esterno con il pulsante Pc, questo arriva al piano richiesto .

(2)

Quando invece dall' interno della cabina si preme uno dei pulsanti di selezione del piano l'ascensore si muove in quella direzione.

Se, mentre la cabina e' in movimento, si preme Palt l' ascensore si blocca in quel punto; ci sono due possibilità :

- 1) L'ascensore è fermo ad un piano
- 2) l'ascensore è tra un piano e l'altro.

Nel primo caso si possono premere pulsanti di selezione del piano e la cabina riparte (funzionamento normale), mentre nel secondo caso bisogna premere obbligatoriamente Pd e l'ascensore scende al piano precedente. Ad esempio se si trova tra il secondo e il terzo caso torna al secondo.

FUNZIONAMENTO CIRCUITALE

Per spiegare il funzionamento di questo circuito e' necessario suddividerlo in più moduli :

CIRCUITO DI RESET

Inizialmente C1 e' sicuramente scarico grazie al diodo D1: se la tensione ai suoi capi e' zero, all'uscita della porta not triggerata n°1 avremo un segnale alto, mentre all'uscita della porta not triggerata n°2 avremo un segnale basso.

L'uscita della prima porta not triggerata rappresenta il segnale di resettaggio del latch SR 1 (dell'integrato 1).

L'uscita della porta n°2 (reset negato) viene inviata a delle porte nand a tre ingressi; queste necessitano di almeno uno zero in ingresso affinche' l' uscita si porti alta (1 logico).

Tutte le uscite delle nand resettano i latch degli integrati, che comandano il funzionamento del motore (giù - su).

Il circuito di reset quindi assicura che all' accensione l'ascensore sia fermo.

Quando il condensatore C1 raggiunge un livello di tensione tale da superare la soglia alta V_{th} delle due porte not triggerate le loro uscite non resettano piu' il latch e permettono quindi il funzionamento del motore.

PORTA INTERNA, PORTE ESTERNE

I fincorsa Fcp1-Fcp4 e FcpI sono le simulazioni delle porte esterne e di quella interna; quando tutte le porte sono chiuse (gli ingressi Fc sono a 1) uscita della and (integrato 1, porta B) permette, attraverso le combinazioni dei fincorsa con i pulsanti dei piani , al motore di funzionare.

E' sufficiente che uno dei fincorsa dia uno zero perche' le porte and, U1C- U1D, diano in uscita uno zero in modo da bloccare il motore.

CHIAMATA DEI PIANI

Supponiamo di trovarci al primo piano di voler andare al terzo: significa che Fc1 e' premuto insieme a P3. Questa condizione permette di settare il latch 0 dell'integrato 3: la sua uscita, chiamata da noi S3, si porta a 1, mandando così a 1 anche l'uscita della or U4C. La and U1D, quando le porte sono chiuse , comanda la salita dell' ascensore. Una volta raggiunto il terzo piano, Fc3 viene premuto; la sua negazione entra in un anand a 3 ingressi che funziona da reset per latch 0 (i3) : S3 ritorna a 0 ed il motore si ferma. A questo punto decidiamo di scendere al secondo piano e quindi premiamo P2, con Fc3 già premuto dal sensore: il latch 1(i2) viene settato e la sua uscita G2 si porta a 1; nell'ordine vanno a 1 la or U4A e la and U1C (solo se le porte sono chiuse) : quest'ultima comanda la discesa del'ascensore. Come nel caso precedente, quando viene raggiunto il piano, interviene il fincorsa (Fc2) a resettare il latch interessato per il pilotaggio dell'ascensore.

Lo stesso discorso fatto per i due esempi precedenti, vale anche per tutte le altre combinazioni. Naturalmente, quando premiamo il pulsante del piano in cui ci troviamo l' ascensore non si metterà in funzione.

ALT E RIPRISTINO

Mentre l'ascensore e' in mancia e si trova tra un piano e l'altro, possiamo fermarlo in quel punto (per un' emergenza o qualsiasi altro motivo) con il Palt : questo infatti setta direttamente il latch 1 (i1) , la cui uscita negata compie un'azione di resettaggio su tutti i latch degli integrati 2 e 3, bloccando così il movimento del motore in entrambi i sensi di rotazione. Se l'ascensore e' bloccato tra un piano e l'altro e' inutile premere i pulsanti dei piani perche' i fincorsa aperti non permettono il settaggio dei latch (i2 e i3). L'unica possibilità e' quella di premere Pd (pulsante di discesa) che comanda la

discesa e la fermata al piano che trova. Il Pd infatti svolge due compiti : il primo e' quello di resettare il latch 1 (i1) e quindi togliere il blocco attuato precedentemente sugli integrati 2 e 3; contemporaneamente setta il latch 0 (i1) che, quando le porte sono chiuse, attraverso la and U1C, che comanda la discesa dell' ascensore. Quando viene premuto il finecorsa di un piano la or U3A permette il resettaggio dei latch 0 (i1) e toglie il settaggio dello stesso: quindi la and U1C ritorna a 0 e il motore si ferma.

INTRODUZIONE DEGLI INTEGRATI CMOS

Gli integrati CMOS (complementary metal oxide silicon) utilizzati per la realizzazione dei circuiti stampati hanno le seguenti caratteristiche:

sono costituiti da due MOS complementari collegati reciprocamente cioe' quando uno e' interdetto l' altro e' saturo. Un grande vantaggio dei CMOS e' che all'ingresso (gate) presentano un'impedenza infinita. Avendo uno dei MOS interni interdetto non c'è passaggio di corrente. Un'altra caratteristica fondamentale e' la tensione di alimentazione che può variare tra i 3 e i 18 V (il campo consigliato va però dai 5 ai 15 V).

Questi circuiti sono alimentati tra Vdd e Gnd (Vdd deriva da Drain ossia dal collettore del MOS) : più elevata è la tensione di alimentazione , più veloce sarà la risposta del CMOS. La tensione di uscita del CMOS che corrisponde a uno 0 logico è di 0V , mentre quella di un 1 logico è Vdd. In regime dinamico , ossia con segnali variabili , al crescere della frequenza aumenta il consumo in corrente (Idd).

DESCRIZIONE DETTAGLIATA

CD4023BM

Questo integrato a 14 pin comprende tre porte universali NAND:ha un alto guadagno ed e' protetto dalla scarica statica con diodi su Vdd e Gnd. Il pin 14 e' Vdd, mentre il pin 7 e' Gnd.

PIEDINATURA

Porta logica 1 = input pin 1,2,8 output 9;
Porta logica 2 = input pin 3,4,5 output 6;
Porta logica 3 = input pin 11,12,13 output 10.

CD4044BC

Questo circuito integrato comprende quattro latch SR : ha un' alta immunità al disturbo, una bassa potenza 100nW e ingressi separati di Set e Reset per ogni latch.

PIEDINATURA

Latch 1 (S1=pin 3, R1=pin 4, Q1=pin 13);
Latch 2 (S2=pin 7, R2=pin 6, Q2=pin 9);
Latch 3 (S3=pin 11, R3=pin 12, Q3=pin 10);
Latch 4 (S4=pin 15, R4=pin 14, Q4=pin 1);
Il pin di Vdd è il 16, mentre Vss è il pin 8.

CD4049UBM

Questo integrato a 16 pin comprende sei porte logiche NOT che realizzano la negazione dell'ingresso.

Il pin 1 e' Vdd mentre il pin 8 è Gnd.

PIEDINATURA

Porta logica 1 = input pin 3 output 2;
Porta logica 2 = input pin 5 output 4;
Porta logica 3 = input pin 7 output 6;
Porta logica 4 = input pin 9 output 10;
Porta logica 5 = input pin 11 output 12;
Porta logica 6 = input pin 14 output 15;
I pin 13,16 non sono stati collegati.

CD4071BM

Questo circuito integrato comprende quattro porte logiche OR :ha 14 pin di cui il 7 è Gnd mentre il 14 è Vdd. Sono presenti caratteristiche simmetriche per ogni uscita.

PIEDINATURA

Porta logica 1 (input pin 1,2 output 3);
Porta logica 2 (input pin 5,6 output 4);
Porta logica 3 (input pin 8,9 output 10);
Porta logica 4 (input pin 12,13 output 11).

CD4073BM

Il circuito integrato in questione ha 14 pin, è composto da tre porte AND a tre ingressi dove il pin 14 è Vdd e il pin 7 è Gnd. Questo circuito ha un' elevata immunità dai disturbi.

PIEDINATURA

Porta logica 1 (input pin 3,4,5 output 6);
Porta logica 2 (input pin 1,2,8 output 9);
Porta logica 3 (input pin 11,12,13 output 10).

CD4075B

Questo circuito è composto da tre porte logiche OR a tre ingressi: come il precedente ha un' elevata immunità dai disturbi ; tutti gli ingressi sono protetti da scariche statiche e hanno le caratteristiche di uscita simmetriche.

Vdd è il pin 14 mentre Gnd è il pin 7.

PIEDINATURA

Porta logica 1 (input pin 3,4,5 output 6);

Porta logica 2 (input pin 1,2,8 output 9);
 Porta logica 3 (input pin 11,12,13 output 10).

CD4081BM

Questo circuito è composto da quattro porte logiche AND a due ingressi; le caratteristiche tale integrato sono identiche a quelle dell' integrato CD4071BM. Anche la piedinatura corrisponde esattamente a quella dell'integrato sopra riportato.

CD40106BM

Questo circuito integrato comprende sei porte logiche not triggerate . Le soglie di commutazione dello stato di uscita (alimentazione scelta : Vdd=10V) sono $V_t=3.2V$, $V_{t+}=6.8V$.

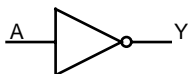
PIEDINATURA

Porta logica 1 (input pin 1 output 2);
 Porta logica 2 (input pin 3 output 4);
 Porta logica 3 (input pin 5 output 6);
 Porta logica 4 (input pin 9 output 8);
 Porta logica 5 (input pin 11 output 10);
 Porta logica 6 (input pin 13 output 12);
 Pin 14 Vdd, pin 7 Gnd.

TABELLE DELLA VERITA'



A	B	C	Y
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0



A	Y
0	1
1	0



A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

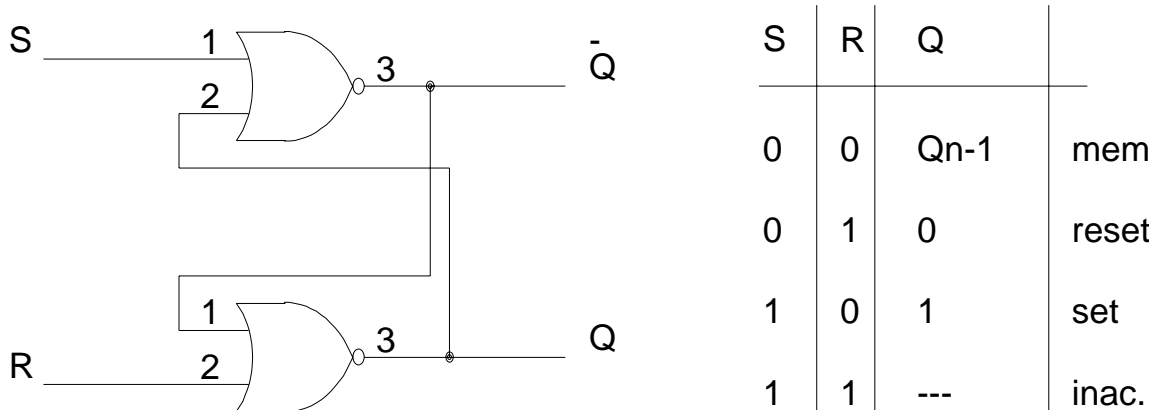


A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

LATCH SR

Questo circuito è stato utilizzato nella nostra prova per simulare di finecorsa con autoritenuta.

LATCH SR



Lo schema è composto da due porte NOR con un ingresso della porta 1 va in retroazione con l'uscita della porta 2.

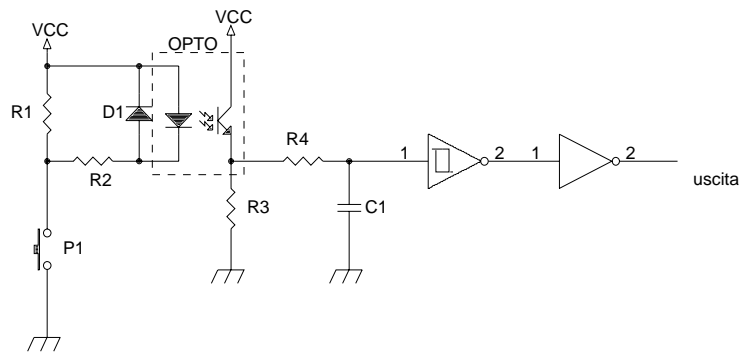
CIRCUITO ANTIRIMBALZO

Quando un pulsante viene premuto il suo contatto non si chiude all'istante : ci sono infatti , per un breve periodo di tempo , delle vibrazioni chiamate rimbalzi , per cui il contatto passa rapidamente dallo stato ON a quello OFF e viceversa. Questo comportamento naturalmente è indesiderato perchè

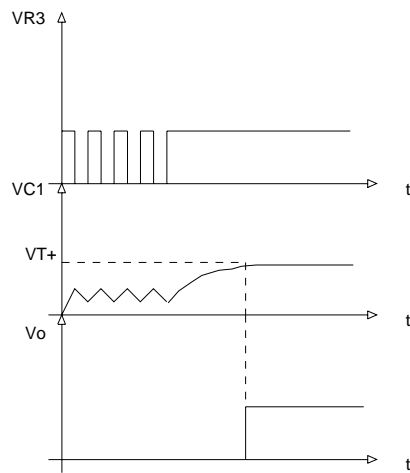
potrebbe causare , ad esempio , l'avanzamento irregolare di un contatore. Con il circuito in figura , realizzato per ogni pulsante e finecorsa della prova , vengono risolti questi problemi : infatti solo quando il contatto smette di rimbalzare il condensatore riesce a caricarsi fino alla soglia V_t della porta NOT triggerata ; si può notare dai grafici riportati sotto che per questo valore di tensione l'uscita si porta ad un livello alto. Se il pulsante non è premuto , il circuito è interrotto : la R1 impone un potenziale 0 al diodo D1 e l'accoppiatore non emette luce . La tensione prelevata sull'uscita della connessione Darlington e quindi sulla R3 è nulla . Quando invece il pulsante è premuto il circuito è abilitato : nell'accoppiatore circola una corrente sufficiente a fargli emettere una luce che colpisce la giunzione e va ad aumentare le cariche minoritarie in base (JBC e' polarizzata inversamente). L'uscita prelevabile su R3 è connessa ad un filtro RC : come detto in precedenza il condensatore si carica completamente solo quando la tensione su R3 rimane costante, abilitando così l'uscita. Il circuito è protetto da eventuali segnali spuri attraverso la R1 : infatti , se è presente una piccola corrente , questa passa tutta in R1 eliminando quindi eventuali problemi all'uscita dell'optoisolatore. Il massimo valore della corrente di disturbo ($I_d \max$) è dato dal rapporto $1.2V/R1$: superato questo valore circola una corrente nell'accoppiatore ottico

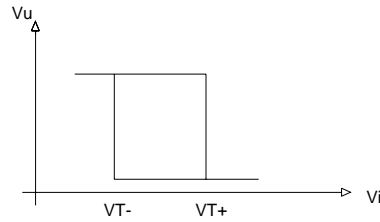
($I_a = I - I_d \max$). Dalla formula vista precedentemente si può notare che più è piccola R1 più grande è la corrente di disturbo massima.

PULSANTI FINECORSA

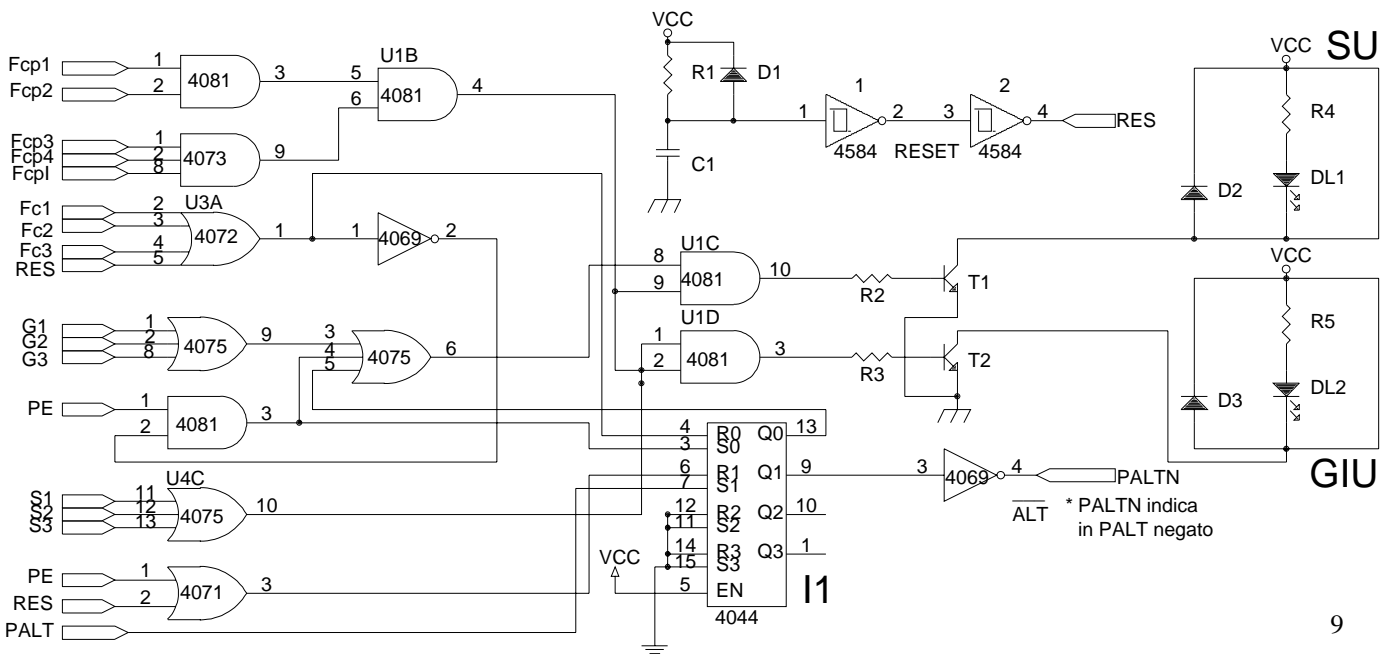
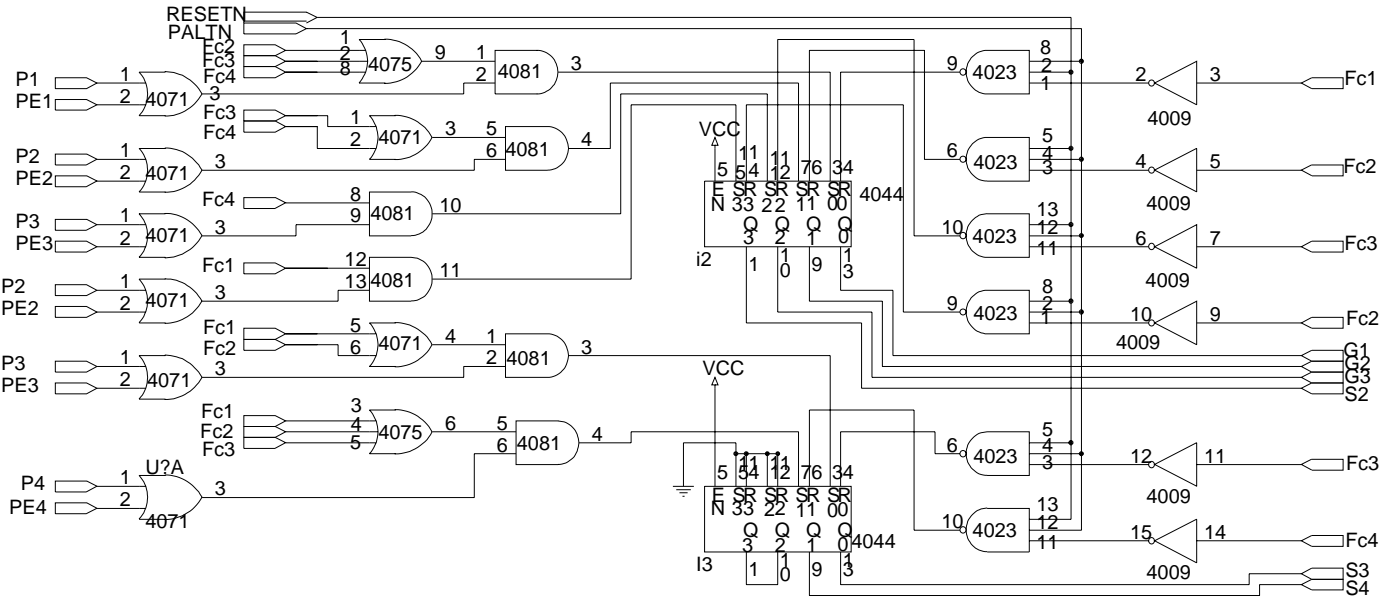


Circuito antirimbalzo





Il grafico sopra riportato si riferisce all'isteresi del buffer ; le soglie caratteristiche sono:
 con Vdd 5V: $V_{t-} = 1.4V$; $V_{t+} = 3.6V$
 con Vdd 10V: $V_{t-} = 3.2V$; $V_{t+} = 6.8V$
 con Vdd 15V: $V_{t-} = 5V$; $V_{t+} = 10V$



INDICE

CARRELLO ELEVATORE A QUATTRO PIANI	2
PREMESSA	2
FUNZIONAMENTO GENERALE	2
FUNZIONAMENTO CIRCUITALE	3
CIRCUITO DI RESET	3
PORTA INTERNA, PORTE ESTERNE	3
CHIAMATA DEI PIANI	3
ALT E RIPRISTINO	3
INTRODUZIONE DEGLI INTEGRATI CMOS	4
DESCRIZIONE DETTAGLIATA	4
CD4023BM	4
PIEDINATURA	4
CD4044BC	4
PIEDINATURA	4
CD4049UBM	5
PIEDINATURA	5
LATCH SR	7
CIRCUITO ANTIRIMBALZO	7