

Istituto Professionale di Stato
per l'Industria e l'Artigianato
MORETTO
Via Luigi Apollonio, 21
BRESCIA

Anno Scolastico 1993-94

MEMORIE

SVOLTA DA

GRASSELLI STEFANO

Classe 5CI TIEE

INDICE

LE MEMORIE	2
MEMORIE SOLA LETTURA.....	3
MEMORIE ROM	3
Memorie PROM	5
MEMORIE EPROM.....	5
MEMORIA A LETTURA/SCRITTURA.....	6
RAM statiche.....	6
RAM dinamiche	7
TEMPORIZZAZIONE DELLE MEMORIE.....	9

LE MEMORIE

Le memorie assumono un ruolo importante nei più recenti sistemi digitali: la loro presenza è fondamentale per l'immagazzinamento di dati binari che al momento opportuno potranno poi essere letti e quindi utilizzati .

I moderni sistemi informatici di elaborazione dati sono un evidente esempio dell'importanza delle memorie.

Nella grande varietà di memorie disponibili in forma integrata può essere fatta una prima classificazione tenendo conto del modo con cui dati vengono immagazzinati e prelevati; si distinguono allora le memorie **ad accesso sequenziale** da quelle **ad accesso diretto** o **casuale**.

Le prime sono essenzialmente costituite da uno o più registri a scorrimento, dotati di terminali per la scrittura e la lettura ed eventualmente di un anello per la ricircolazione dei dati.

Questa tecnica ovviamente comporta una certa lentezza nel funzionamento e viene quindi adottata solo in alcuni tipi di memorie.

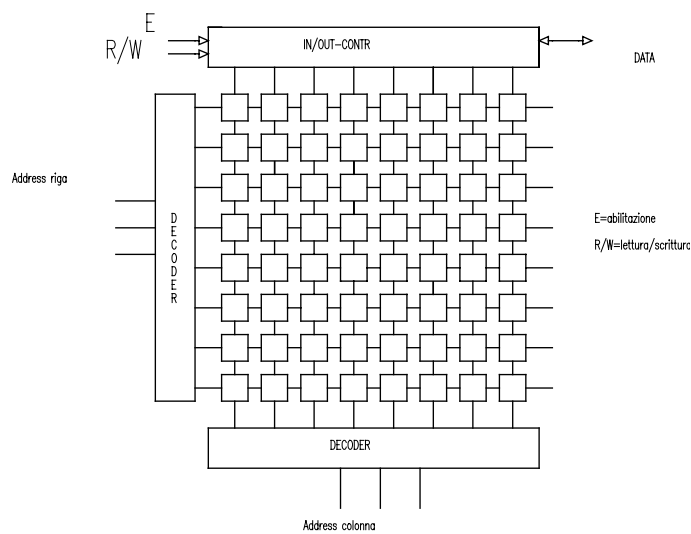
Le memorie ad accesso casuale sono memorie a **lettura-scrittura**.

Si tratta di una struttura a matrice che permette l'accesso diretto, tramite indirizzamento , alla locazione di memoria desiderata, con un notevole risparmio di tempo rispetto all'accesso sequenziale. In questa struttura si evidenzia in particolare la presenza di circuiti di decodifica riga e di colonna e di un circuito di ingresso/uscita e controllo.

I circuiti di decodifica permettono di selezionare la locazione di memoria, tramite il numero binario di indirizzo.

Nell'esempio di fig1 la matrice è 8*8 e quindi la memoria presenta 64 locazioni; per indirizzare tutte queste; locazioni sono pertanto necessari indirizzi a 6 bit, infatti $2^6= 64$.

Di questi 6 bit 3 servono ad individuare la riga e 3 servono per individuare la colonna.



L'esempio di figura è ovviamente puramente didattico, data la limitata capacità .

Il circuito di ingresso/uscita e controllo ha il compito di gestire il flusso dati da e per la memoria (nel caso di memorie a sola lettura, ovviamente, il flusso di dati è unidirezionale).

MEMORIE SOLA LETTURA

Le memorie a sola lettura (**ROM: read-only memory**) sono realizzate per immagazzinamento informazioni, non soggette a modifiche, che devono essere mantenute permanentemente, esse sono quindi memorie **non volatili** che consentono soltanto la lettura dei dati precedentemente memorizzati.

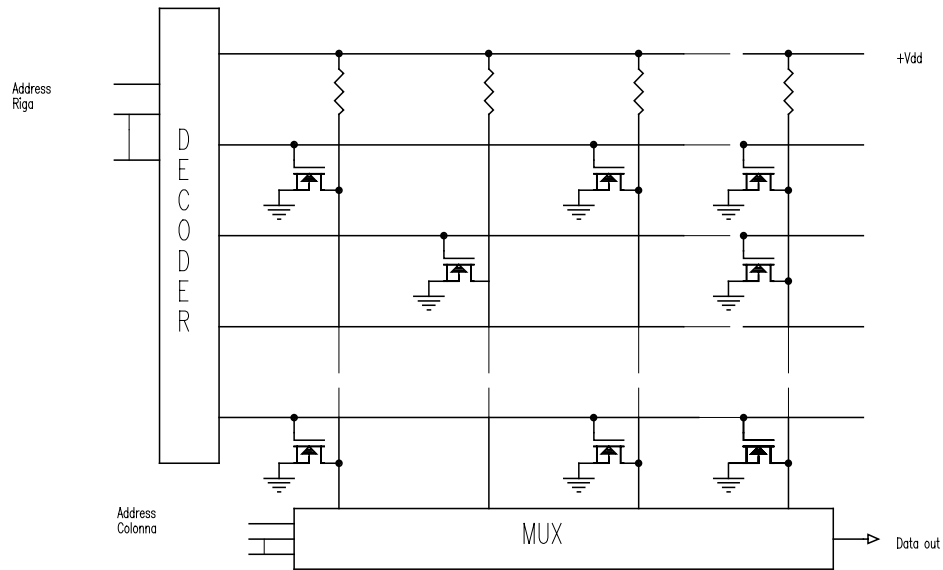
Nelle **ROM** propriamente dette (mask **ROM: ROM** a maschera) l'informazione viene scritta direttamente dal costruttore in fase di realizzare dell'integrato mediante processi di diffusione e di metallizzazione con mascherature opportune. Esistono però anche memorie a sola lettura che possono essere scritte, ossia programmate, dall'utente stesso con modalità e tecniche varie; esse costituiscono la classe delle **ROM programmabili** comprendente **PROM, EPROM e EEPROM**.

MEMORIE ROM

In fig.2 è riportata la struttura base di una **ROM** a **NMOS**; la tecnologia **MOS** è attualmente la più usata perché è quella una maggiore integrazione.

Il decoder di riga invia un livello alto solo all'uscita scelta dall'indirizzo; in queste condizioni tutti i **MOS** della riga si pongono in conduzione, e tramite l'indirizzo di colonna il **MUX** seleziona la cella in cui si vuole leggere: se qui è presente un **MOS** esce un livello basso, se è assente un livello alto.

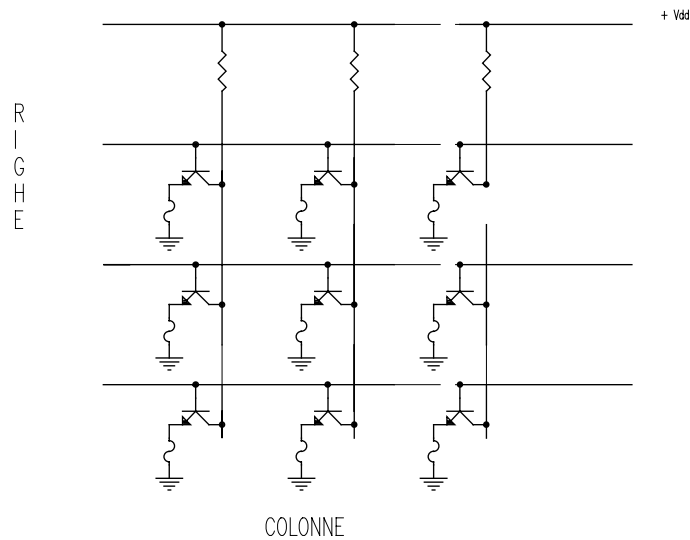
Naturalmente, poiché in questa struttura ogni locazione di memoria è costituita da celle elementari a un bit, per memorizzare parole a più bit si realizzano strutture a più strati con gli indirizzi in comune.



Anche le resistenze di carico vengono normalmente realizzate con dei **MOS**.

Le **ROM** devono essere programmate in sede realizzativa, impedendo la formazione del **MOS** con una tecnica di **mascheratura**, nelle celle da porre a livello alto. Solo quindi se prodotte in grosse quantità risultano economicamente convenienti; trovano pertanto utilizzazione in sistemi prodotti su larga scala.

MEMORIE PROM



In figura è riportata la struttura base di queste memorie.

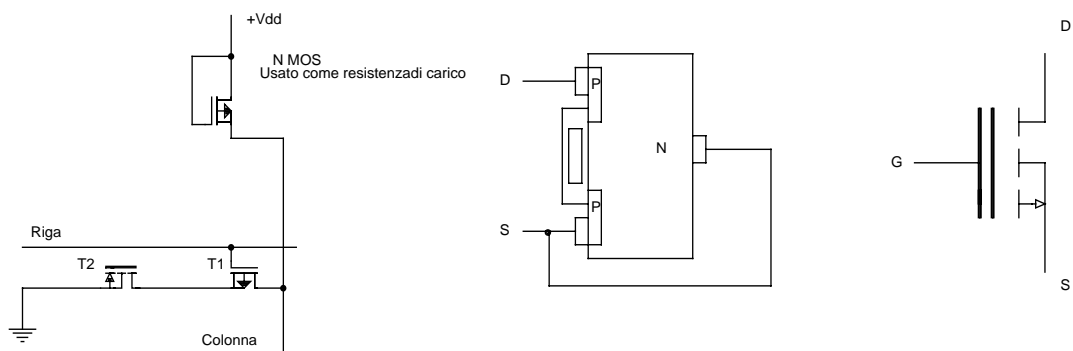
In serie agli emettitori dei **bjt** sono presenti dei micro fusibili metallici, in sede di programmazione si inviano alle celle desiderate degli impulsi di corrente sufficienti alla fusione dei collegamenti metallici.

Nelle celle in cui il fusibile è interrotto si preleva un livello alto, in quelle in cui conduce si ha un livello basso, a causa della saturazione del **bjt**, prodotta dal segnale di riga applicato in base.

Poiché la programmazione è demandata all'utente finale, che la effettuerà secondo le sue personali esigenze, è possibile comunque realizzare produzioni su larga scala, contenendo di conseguenza i costi. Naturalmente poiché le **PROM** non sono riprogrammabili, sono adatte solo a sistemi per i quali non si prevedono modifiche future.

MEMORIE EPROM

La figura riporta la struttura di una cella **EPROM**



T1 è un normale Mos usato per l'indirizzamento, T2 è un Famos in condizioni normali il famos non conduce e pone la cella a livello alto; tramite un opportuno programmatore di eprom può però

essere posto indefinitamente in conduzione: in questo secondo caso la presenza del segnale di riga pone T1 in conduzione e quindi la cella a livello basso.

Il Famos ha una struttura del tipo di figura: in pratica coincide con un Mos a riempimento con il gate completamente isolato tramite SiO₂; in condizioni normali il canale è interrotto, applicando una tensione inversa di circa 25V tra drain e substrato si produce la rottura della giunzione PN che entra quindi in forte conduzione (effetto valanga). La forte energia cinetica che gli elettroni accumulano permette loro di superare il leggero strato di biossido di silicio e di raggiungere il gate.

Una volta tolta la polarizzazione inversa alla giunzione, l'isolamento del gate impedisce gli elettroni di abbandonarlo; queste cariche mantengono al gate la giusta polarizzazione per la creazione del canale e la conseguente conduzione del Mos.

La cancellazione va effettuata dopo aver tolto la memoria da circuito . Per permettere ai raggi ultravioletti di raggiungere il biossido di silicio queste memorie presentano un finestrino trasparente che normalmente, per evitare cancellazioni indesiderate, deve essere coperta.

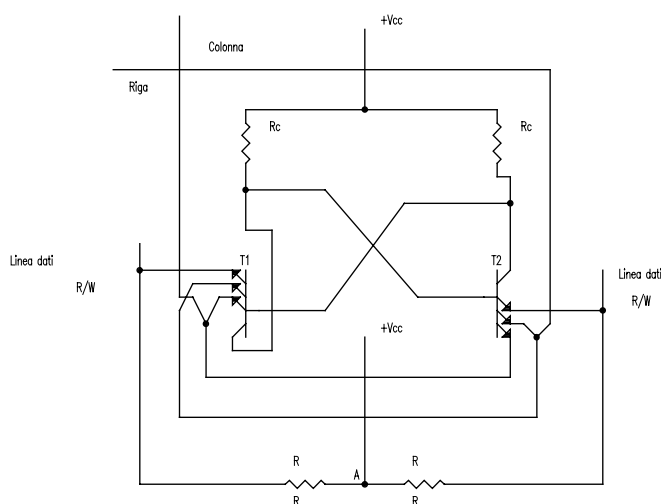
La duplice operazione di cancellazione e programmazione può mediamente essere effettuata una ventina di volte, prima che le prestazioni della memoria degradino in modo eccessivo.

MEMORIA A LETTURA/SCRITTURA

Le memorie **RAM** hanno una struttura a matrice che ricalca fedelmente quella di fig.1; in particolare, tramite le linee di indirizzo si seleziona la locazione di memoria, mentre con quelle di controllo si abilita la memoria al funzionamento e si seleziona il modo lettura (read) o quello di scrittura (write).

RAM statiche

Le celle elementari, per la memorizzazione dei singoli bit, sono dei latch che permettono la conservazione dell'informazione per un tempo indefinito purché l'alimentazione non si interrompa.



La fig.7 riporta la struttura di una cella statica in tecnica bipolare.

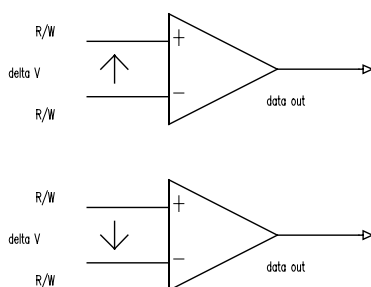
In condizioni di non selezione le linee di indirizzo di riga e di colonna sono a potenziale di 0V, mentre il punto A è posto a un potenziale di poco superiore a 0V. La struttura incrociata dei due BJT garantisce che uno è saturo mentre l'altro è interdetto : infatti se si suppone , ad esempio, T1

saturo la sua V_{ce} , che corrisponde alla V_{BE} di T2, assume un valore troppo basso per mandare in conduzione la base di T2, che pertanto è interdetto.

Essendo le linee di indirizzo a potenziale di 0V, l'emettitore del **bjt** saturo che vi fa capo sarà in conduzione; non risulterà invece in conduzione quello facente capo alla linea lettura/scrittura R/W o $\overline{R/W}$ perché il punto A è a potenziale troppo alto.

Se ora le linee di indirizzo vengono poste a livello alto, nel corrispondente emettitore del transistor saturo non può più circolare corrente, che inizierà invece a scorrere in quello collegato alla linea dati. Il verso della corrente, e quindi della c.d.t. misurabile tra Lr due linee dati, dipende quindi da quale **bjt** risulta saturo: pertanto la polarità di questa tensione può essere usata per individuare lo stato logico della cella.

Quella appena descritta è una operazione di lettura; per valutare la polarità si ricorre a un circuito comparatore fig.8 che fornisce un livello logico 0 o 1 in relazione alla polarità stessa.



Per effettuare una operazione di scrittura, dopo aver posto le linee di indirizzo a livello alto, si pone a 0V la linea dati scelta(WoW). In questo modo si impone la conduzione di uno degli emettitori che fanno capo a queste linee: quindi un **bjt** satura di conseguenza l'altro interdice. Si è pertanto forzata la cella di memoria ad assumere lo stato logico desiderato. La tecnologia bipolare non permette di raggiungere livelli elevati di integrazione e quindi con essa non si possono costruire memorie di capacità elevata.

Sia pure a prezzo di una maggiore lentezza, ma con un minore consumo di corrente, ricorrendo alle tecnologie **MOS**(**CMOS**, **NMOS** e più raramente **PMOS**) è possibile ottenere capacità di memoria più elevate.

RAM dinamiche

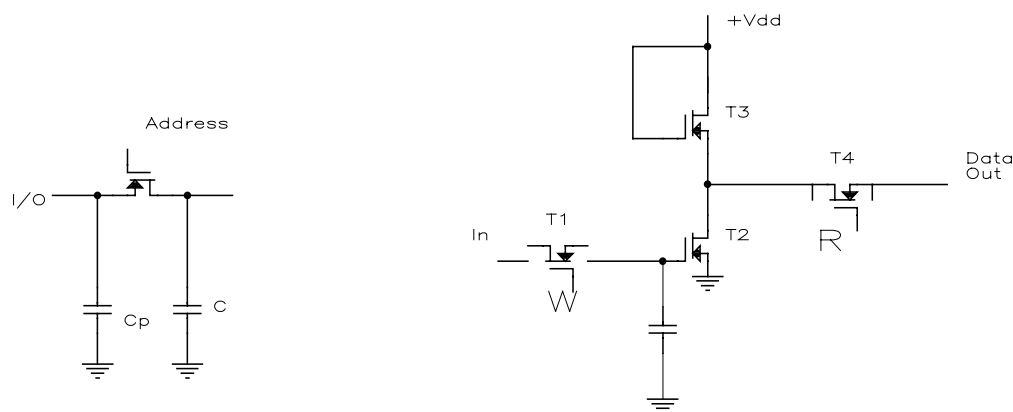
La necessità di aumentare ulteriormente la capacità di memoria, contenendo nel contempo il consumo di corrente, ha portato allo sviluppo delle memorie dinamiche, realizzabili solo con le tecnologie **MOS**.

Le memorie dinamiche sfruttando la capacità di gate dei **MOS** che viene utilizzata come memoria ad accumulo di cariche fig.9.

Posto $W=1$, il T1 conduce e permette a C di acquistare il dato in ingresso; con $W=0$, poiché T1 si interdice il condensatore è isolato e quindi conserva l'informazione accumulata.

Con $R=1$, T4 conduce e permette il trasferimento del dato in uscita.

La soluzione di fig.9, che non è la più semplice possibile, presenta il vantaggio di eliminare alcuni problemi tipici delle **RAM** dinamiche.



Per comprendere quanto detto si consideri il circuito di fig.10.

Tramite il segnale di indirizzo si abilita alla conduzione il **MOS**: è quindi possibile accedere, in lettura o in scrittura, alla cella di memoria formata dalla capacità C .

Questo circuito garantisce la massima integrazione possibile, data la sua semplicità, ma presenta l'inconveniente che in fase di lettura il collegamento diretto tra C e la linea I/O, pone C stesso in parallelo con la capacità parassita di linea C_p . Poiché quest'ultima è immediatamente molto più grande di C , anche supposto che il carico di linea presenti una resistenza abbastanza elevata da non scaricare C , la carica di quest'ultimo influisce comunque lievemente sul valore di tensione preesistente, prima della lettura, su C_p . Si rende per questo necessario l'uso di opportuni amplificatori in grado di rilevare le piccole variazioni di tensione in linea durante la fase di lettura. Il circuito di fig. 9 come già accennato, non presenta questi inconvenienti perché T_2 isola C dalla linea in uscita.

Nel tempo le inevitabili perdite tendono comunque a provocare la scarica di C : si rende quindi necessaria una operazione chiamata di *rinfresco* (*refresh*) che consiste nel leggere lo stato di carica della capacità e nel ripristinare il valore iniziale. Ciclicamente tutte le celle della memoria devono essere rinfrescate, con una frequenza sufficientemente elevata (tipicamente 2 ms) da garantire il non degrado del livello logico nell'intervallo di tempo tra un rinfresco e il successivo.

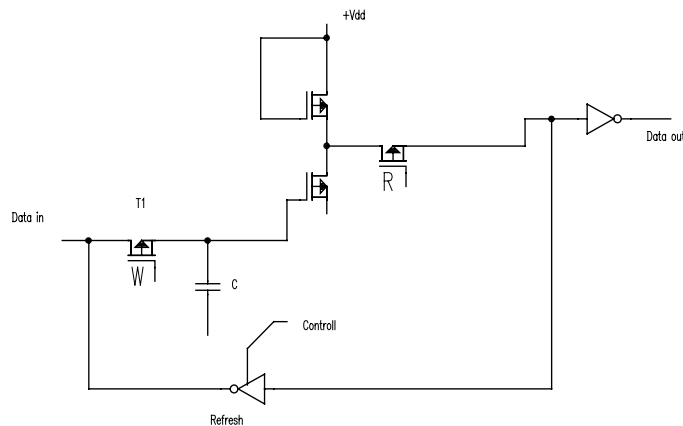
L'operazione di rinfresco deve avvenire senza interferire con le normali operazioni di lettura/scrittura, cioè nei tempi morti lasciati liberi da queste ultime operazioni.

Con riferimento alla fig.10 l'operazione di rinfresco può essere così sintetizzata:

-lettura dato in memoria($R=1$ e $W=0$);

-abilitazione, tramite il segnale di controllo, dell'amplificatore di rinfresco(di tipo invertente, essendo complementato il dato in uscita dalla cella);

-scrittura per ripristino livello(R=1 e W=1).



Nelle **RAM** dinamica l'operazione di rinfresco comporta una sequenza ben precisa di segnali ai pin della stessa, esistono però sistemi a micro processore già predisposti alla gestione di rinfresco.

Inoltre sono disponibili delle **RAM** dinamiche che contengono tutta la circuiteria necessaria per il rinfresco automatico .

Si tenga presente che l'elevata capacità delle **RAM** dinamiche ha comportato una modifica della tecnica di indirizzamento: infatti per evitare di aumentare considerevolmente il numero delle linee di indirizzo e quindi i pin dell'integrato si ricorre a tecniche di "multiplexing" .

Con questa tecnica le sei linee di indirizzo disponibili svolgono alternativamente la funzione di riga e di colonna, naturalmente all'interno delle **RAM** devono essere disponibili i latch necessari alla memorizzazione degli indirizzi, che altrimenti non sarebbero tutti contemporaneamente presenti . La gestione di tutto richiede l'invio di segnali di controllo.

In conclusione si può dire che le **RAM** dinamiche sono più integrabili, più veloci e hanno un ridotto consumo di corrente rispetto alle statiche; ma le complicazioni del circuito esterno per la gestione del rinfresco e del multiplexing degli indirizzi rendono il loro uso economicamente conveniente solo se si devono realizzare schede ad alta capacità di memoria .

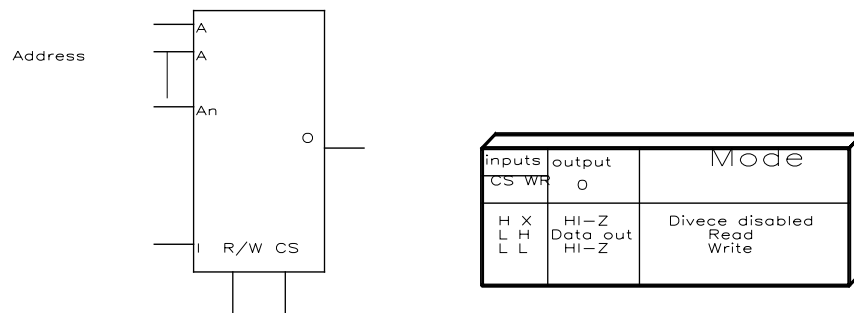
TEMPORIZZAZIONE DELLE MEMORIE

Si consideri una generica **RAM** statica, che per semplicità supporremo possa memorizzare parole di un solo bit: in essa si possono evidenziare alcuni pin di particolare importanza (fig.12).

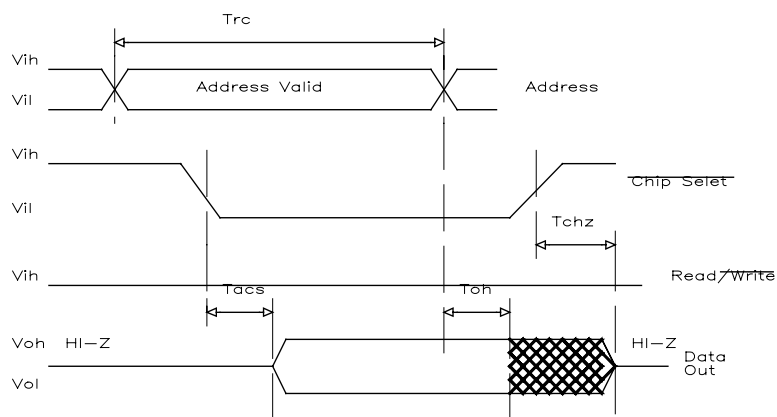
Il pin I è quello di ingresso dati (data in), il pin O è quello di uscita dati (data out). Il pin \overline{CS} serve a selezionare il dispositivo (chip select): se alto l'uscita O va in alta impedenza (HI-Z) e quindi permette di collegare più memorie a un'unica linea.

Il pin W/R permette di scegliere tra il modo scrittura e quello lettura: con questo pin a livello basso siamo in scrittura e l'uscita va in alta impedenza, in caso contrario il dispositivo è abilitato alla lettura.

La tabella di fig.12 riassume quanto detto.



Analizziamo ora la fig.13, che riporta il diagramma temporale di un ciclo di lettura (read cycle timing).



Nel diagramma relativo agli indirizzi, con gli incroci si simboleggiano gli istanti di possibile cambiamento degli stessi: la rappresentazione è simboleggiata e riguarda tutte le linee di indirizzo contemporaneamente.

Come si vede, si presuppone che nel momento in cui si seleziona il dispositivo ponendo a livello basso il CS sia già presente il giusto indirizzamento.

Con t_{rc} si intende il *tempo di durata del ciclo di lettura* (read cycle time); di questo dato interessa di avere il valore minimo consentito.

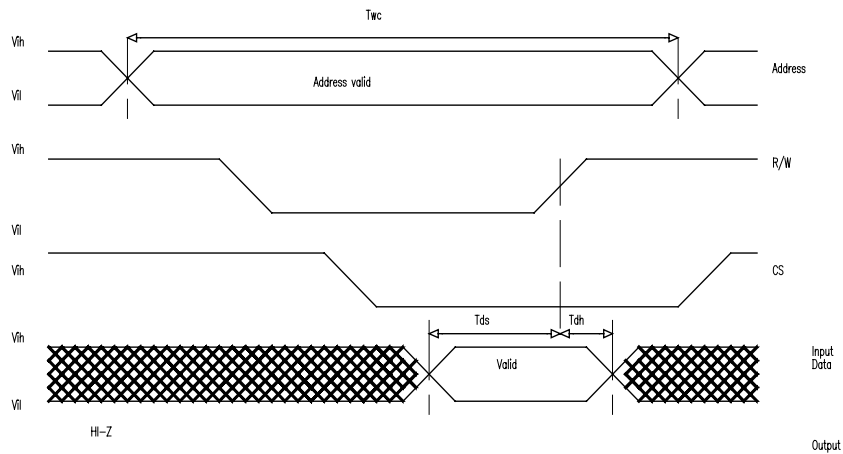
In uscita si esce dalla zona in alta impedenza con un certo ritardo rispetto all'istante di selezione: questo tempo, chiamato *tempo di accesso dall'ingresso di selezione* (chip select access time) è indicato con t_{acs} .

Il tempo t_{oh} (output hold from address change) indica il *tempo in cui il dato in uscita si mantiene nonostante il cambiamento di indirizzo* (supposto ancora attivo CS).

Infine il tempo t_{chz} (chip deselection to output, in HI-Z) indica il *tempo impiegato dal dispositivo a portare l'uscita in alta impedenza*.

Il tratteggio nel diagramma di uscita dati indica una zona in cui i dati in uscita non sono utilizzabili perchè non corretti, essendo cambiato l'indirizzo: per evitarlo si deve disabilitare il dispositivo prima del cambio di indirizzo.

In fig.14 è riportato un esempio ipotetico di diagramma temporale di un ciclo di scrittura



Il tempo t_{wc} è quello di *durata del ciclo di scrittura* (write time cycle); di questo dato è importante conoscere il valore minimo.

Nel diagramma si suppone che il dispositivo venga prima abilitato alla scrittura ponendo $R/W=0$, e poi selezionato con $CS=0$. Poiché siamo in write l'uscita rimane in alta impedenza anche a dispositivo selezionato.

Il dato viene scritto in corrispondenza del fronte di salita R/W e quindi risulta valido se rimane stabile con un certo anticipo rispetto a questo fronte: è quindi necessario un certo tempo di predisposizione t_{ds} (data set up time). Il dato inoltre deve mantenersi oltre il fronte di scrittura per un tempo t_{dh} (data hold time).