

Istituto Professionale di Stato
per l'Industria e l'Artigianato
MORETTO
Via Luigi Apollonio, 21
BRESCIA

Anno Scolastico 1993-94

Famiglie logiche.

SVOLTA DA

FERRARI DAVIDE

Classe 5CI TIEE

INTRODUZIONE	3
I CIRCUITI INTEGRATI	4
CARATTERISTICHE STATICHE DELLE PORTE LOGICHE	5
Caratteristiche d'ingresso.....	5
Caratteristica di uscita.	5
Caratteristica di trasferimento.	5
Immunità statica al rumore.....	6
FAN- OUT statico (F.O.)	7
FAN-IN	8
CARATTERISTICHE DINAMICHE DELLE PORTE LOGICHE	8
Tempi di commutazione.	8
Immunità dinamica al rumore.....	10
Fan-out dinamico.....	11
LOGICA TRANSISTORE TRANSISTORE.....	12
Confronto fra DTL e TTL.	13
Il transistore d'ingresso.....	13
Il pull-up attivo.....	13
Caratteristica ingresso-uscita escludendo il transistore d'ingresso.....	15
Caratteristiche ingresso-uscita del transistore di ingresso.....	18
Il transistore multi-emettitore.....	19
Caratteristica tensione-corrente di ingresso della porta TTL.....	20
Caratteristica tensione-corrente di uscita della porta TTL.....	21
Tipi di porte TTL.....	23
I diodi di ingresso.....	23
Il circuito Darlington.....	24
Il pull-down attivo.....	24
TTL Schottky	26

INTRODUZIONE

L'avvento del transistor, (1948), ed in seguito la possibilità tecnologica di realizzare circuiti microelettronici, ha favorito notevolmente le operazioni logiche svolte da circuiti elettronici. E' soprattutto grazie agli sforzi della ricerca nel campo aerospaziale, che si è in breve tempo a realizzare in forma integrata alcuni circuiti o porte logiche che realizzano le funzioni fondamentali di BOOLE, cioè AND, OR e NOT.

Nella fig. 1a è rappresentato lo schema elettrico di una semplice porta logica.

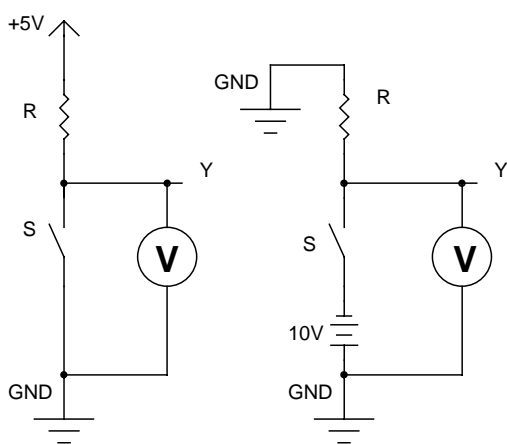


Fig 1a (a) Livelli 0V, +5V

(b) Livelli -10V, 0V

Quando l'interruttore S è aperto, nel punto Y si avrà una tensione pari a +5V, mentre quando viene chiuso, in Y si avrà una tensione di 0V pari a quella della terra. A ciascuno di questi due livelli si può fare corrispondere il livello logico 1 oppure 0. Ad esempio a +5V si fa corrispondere 1 ed a 0V si fa corrispondere 0.

Nel circuito di fig. 1b invece, ad interruttore chiuso in Y si avrà una tensione di -10V, mentre ad interruttore aperto di 0V, ma se anche in questo caso alla tensione più positiva si fa corrispondere il livello logico 1 ed a quella più negativa lo 0 si può enunciare la seguente definizione:

- se alla tensione più positiva si fa corrispondere il livello logico 1 (H), mentre

a quella più negativa il livello logico 0 (L), si dice che si impiega la logica positiva;

- viceversa, la logica impiegata sarà negativa,

quando alla tensione più elevata si fa corrispondere lo 0 logico ed alla più bassa l'1.

Nella fig. 2 sono mostrati alcuni esempi di logica positiva e negativa.

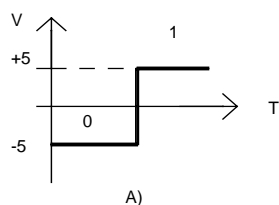
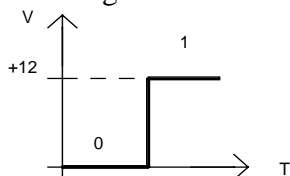


FIG.2 A) Logica positiva

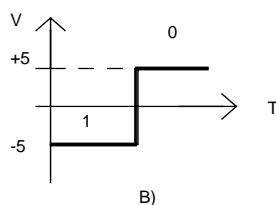
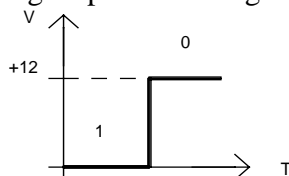


FIG.2 B) Logica negativa

La distinzione tra logica positiva e logica negativa risulta necessaria perché una porta di tipo AND in logica positiva si comporta come una porta OR se si utilizza la logica negativa e viceversa.

Infatti, supponendo che tra ingressi ed uscita di una porta logica esistano le relazioni di tensione indicate dalla tabella di fig. 3a, utilizzando i criteri della logica positiva essi si trasforma in quella di fig. 3b, mentre in logica negativa si otterrà la tabella della verità 3c.

Come appare evidente, la 3b è la tabella della verità di una porta AND mentre la 3c è quella di una OR.

INGRESSI		USCITA
A(V)	B(V)	Y(V)
0	0	0
0	+5	0
+5	0	0
+5	+5	+5

A)

INGRESSI		USCITA
A	B	Y
1	1	1
1	0	1
0	1	1
0	0	0

C)

INGRESSI		USCITA
A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

B)

FIG.3 Logica positiva (b) e negativa (C)

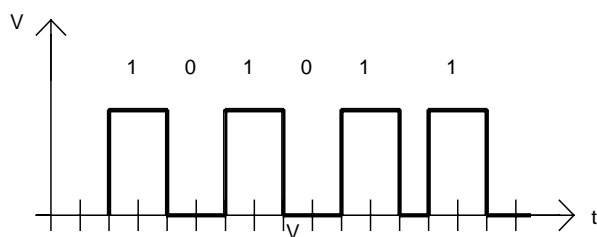


FIG.4 Impulsi di tensione che rappresentano il numero 110101.

Quanto detto è valido anche per le porte NAND e NOR.

A questo punto risulta abbastanza facile comprendere come, aprendo e chiudendo in una determinata successione l'interruttore S, si può generare una serie di impulsi e quindi rappresentare qualsiasi numero binario. Così ad esempio se si volessero rappresentare il numero decimale 53 che in binario corrisponde a 110101, sarebbe necessario agire sull'interruttore in opportuna sequenza e generare la successione di fig.4.

Il passo successivo è quello di realizzare un dispositivo che si apra e si chiuda automaticamente soprattutto alle alte velocità e che si avvicini il più possibile alle qualità di un interruttore ideale e cioè: piccola energia per essere comandato, tensione nulla ai suoi capi quando è chiuso e corrente di fuga nulla quando è aperto. Scartando l'utilizzo del relè ed altri congegni elettromeccanici per la loro

elevata dissipazione di potenza, ingombro e bassa velocità, il circuito fondamentale di fig. 1 può essere realizzato sostituendo all'interruttore un dispositivo elettronico costituito da un diodo a semiconduttore oppure un transistor.

I CIRCUITI INTEGRATI.

Le esigenze di ridurre, specialmente nel campo aerospaziale, il peso, l'ingombro, il consumo ed aumentare l'affidabilità dei circuiti elettronici, ha portato alla realizzazione dei circuiti integrati.

Senza entrare nel merito della loro tecnologia di fabbricazione, si può semplicemente dire che il concetto base è nella realizzazione, su un'unica piastrina di silicio di pochi millimetri quadrati di superficie, dei circuiti classici realizzati in forma discreta.

A seconda della scala di integrazione raggiunta, essi possono essere distinti in tre grandi categorie: SSI, MSI, LSI così definite:

- la SSI che indica i circuiti integrati a Small Scale Integration, e cioè quelli in cui il numero di porte logiche non supera 10;

- la MSI, cioè Medium Scale integration in cui il numero di porte logiche varia tra 10 e 100;

- la LSI, o Large Scale Integration in cui il numero di porte è oltre 100.

Alcuni costruttori usano indicare anche una quarta categoria, la VLSI e cioè Very LSI per tutti quei chip contenenti più di qualche migliaia di porte. All'interno di ciascuna delle precedenti suddivisioni, un'altra distinzione può essere fatta con riferimento alla tecnologia costruttiva delle porte stesse.

Le case costruttrici di circuiti integrati digitali solitamente usano delle sigle identificatrici composte da una parte alfabetica ed una alfa numerica.

Quella alfabetica indica la casa costruttrice, mentre quella alfa numerica individua la famiglia, il tipo, l'impacchettamento, le temperature di funzionamento, ecc...

CARATTERISTICHE STATICHE DELLE PORTE LOGICHE.

Al fine di poter calcolare e valutare le prestazioni di ciascuna famiglia logica e di poter effettuare gli opportuni confronti fra famiglie diverse, sono stati introdotti dei **parametri** che ne descrivono il funzionamento dal punto di vista statico e dinamico.

Caratteristiche d'ingresso.

La caratteristica d'ingresso è la rappresentazione grafica di come varia la tensione d'ingresso al variare della corrente d'ingresso. Essa può essere lineare e allora si parla di resistenza d'ingresso, oppure non lineare e presentare, quindi, valori di resistenza diversi al variare delle condizioni di funzionamento. In quest'ultimo caso, così come per i diodi ed i transistori, per la esatta determinazione della corrente I corrispondente ad un valore di V_I , si ricorre al metodo grafico.

Esso consiste nel tracciare la retta di carico sulla caratteristica di ingresso relativa alla porta logica considerata. La determinazione del punto di lavoro permette la contemporanea individuazione della V_I e della I .

Caratteristica di uscita.

E' la rappresentazione grafica di come varia la tensione in uscita al variare della corrente d'uscita. Nella realtà le caratteristiche sono due poiché si riferiscono alle condizioni di funzionamento con l'uscita a livello logico alto o basso.

Nella fig. 5a sono mostrate le caratteristiche relative alla famiglia TTL 74 standard, mentre nella fig. 5b sono mostrate quelle per una porta CMOS.

Anche in questo caso si ricorre all'uso del metodo grafico quando il carico non è costituito da un'altra porta standard della stessa famiglia.

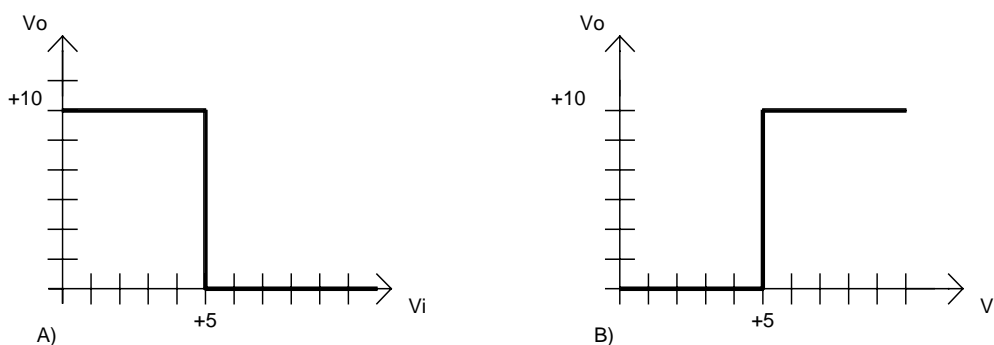


Figura. 6

Caratteristica di trasferimento.

E' la rappresentazione grafica dell'andamento della tensione di uscita V_O in funzione di quella di uno degli ingressi (V_I), mentre gli eventuali altri ingressi sono

tenuti ad un livello costante.

Nella fig. 6a e 6b rispettivamente, sono mostrate le caratteristiche di trasferimento ideale di una porta invertente (es. NOR, NAND, ecc.) e di una porta non invertente (OR, AND, ecc.).

L'interpretazione di queste caratteristiche è piuttosto semplice. Con riferimento alla fig. 6a, si può osservare che finché la tensione di ingresso non supera i 5V, la tensione di uscita è a livello di 10V.

Oltre a tale limite, se la tensione V_I viene ulteriormente aumentata, la tensione di uscita V_O diminuisce istantaneamente fino ad un valore pari a zero volt, ottenendo in tal caso la commutazione. Il valore della tensione di ingresso che deriva la commutazione (che nel nostro esempio è 5V) è chiamata tensione di soglia V_T (Threshold).

In realtà, poiché i componenti elettronici delle porte non sono ideali, le caratteristiche di

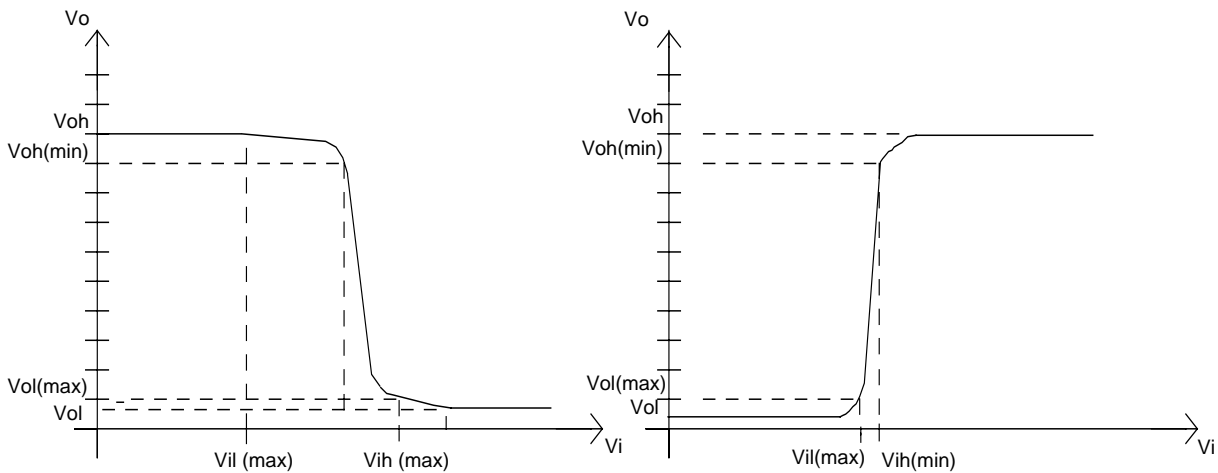


fig.7

trasferimento non presentano punti di discontinuità ed hanno la forma mostrata in figura 7.

Dall'esame della fig. 7 si possono trarre le seguenti precisazioni:

- V_{IL} = è un livello della tensione di ingresso entro il meno positivo (più negativo) dei due ranges di valori usati per rappresentare le due variabili binarie. Il valore

$V_{IL\ max}$ è il più positivo fra i valori bassi (*low*) delle tensioni di ingresso per il quale è garantito il corretto funzionamento dell'elemento logico.

- V_{IH} = è un livello della tensione di ingresso entro il più positivo (meno negativo) dei due range di valori usati per rappresentare le variabili binarie. Il valore $V_{IH\ min}$ è il meno positivo fra i valori alti (*high*) delle tensioni di ingresso per il quale è garantito il corretto funzionamento dell'elemento logico.

Da quanto esposto risulta evidente che una tensione di ingresso di valore compreso tra $V_{IL\ max}$ e $V_{IH\ min}$ deve essere assolutamente evitata poiché risulterebbe impossibile determinare il livello logico in uscita della porta pilotata.

Immunità statica al rumore.

Con il termine di rumore, generalmente, si intende qualsiasi forma di variazione aleatoria della corrente o della tensione che avviene sia sulle linee di alimentazione che su quelle dei dati.

Le sorgenti di rumore possono essere estese o interne al sistema digitale.

Le *sorgenti esterne* possono essere motori elettrici, contatti di relè ed interruttori, scariche elettrostatiche, ecc.. che si presentano sotto forma di impulsi di interferenza elettromagnetica che si accoppia con linee di alimentazione, massa e dati del sistema.

Il *rumore interno* può essere generato dagli accoppiamenti capacitivi tra le linee dei segnali, dalle riflessioni e dalle variazioni di corrente durante le commutazioni.

Sebbene il rumore esterno possa avere ampiezza dell'ordine di centinaia di volt, ha fortunatamente, ha fortunatamente effetti minimi sui circuiti logici poiché la sorgente non è connessa direttamente ad essi. L'effetto del rumore interno, sul funzionamento dei circuiti logici, dipende dalla immunità al rumore

(noise immunity). Questa entità è pari al valore della tensione che, se fosse applicata agli ingresso della porta logica, la farebbe commutare. Il suo valore massimo, nel caso di caratteristica di trasferimento ideale, è pari al 50% della escursione della tensione di ingresso. Nei casi reali l'immunità al rumore vale:

$$V_{IL} / \Delta V \cdot 100 \text{ per il livello basso}$$

$$(V_{cc} - V_{IL}) / \Delta V \cdot 100 \text{ per il livello alto}$$

avendo indicato con ΔV l'escursione della tensione di ingresso che, normalmente, è pari a quella di alimentazione.

Nella precedente trattazione si è visto, però, che a causa delle variazioni del carico o della dispersioni delle caratteristiche, i livelli di uscita di una porta logica potrebbero essere o non sufficienti o produrre commutazioni indesiderate nella porta seguente. Nelle condizioni di funzionamento più gravosa si definisce, allora, il *margin di rumore (noise-margin)*:

$$V_{NMH} = V_{OH \min} - V_{IH \min} \text{ per il livello alto}$$

$$V_{NML} = V_{IL \max} - V_{OL \max} \text{ per il livello basso.}$$

FAN- OUT statico (F.O.)

Il fan-out si definisce come il massimo numero di ingressi che può essere pilotato dall'uscita di una porta logica. Il perché di una tale limitazione può facilmente individuarsi con l'aiuto delle fig. 8a e 8b per il F.O. al livello alto e basso rispettivamente.

Per il livello alto, secondo lo schema mostrato in fig. 8a, si può scrivere:

$$I_{OH} = N \cdot I_{IH}$$

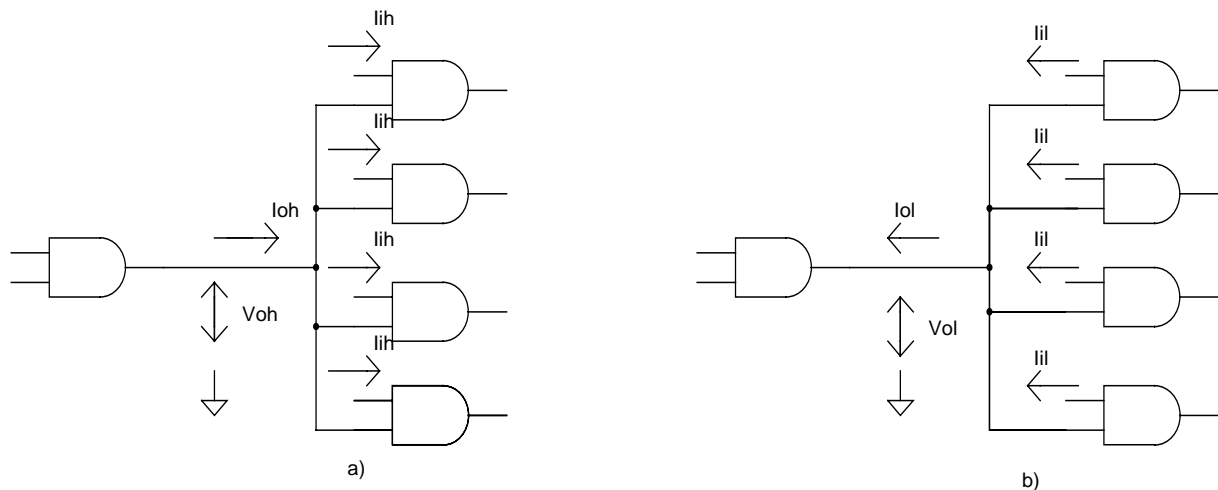


Fig. 9 Indicazione delle correnti per il calcolo del fan-out.

All'aumentare del numero N delle porte pilotate, deve aumentare la corrente di source (I_{OH}) erogata dalla porta pilotante, ma ciò comporta anche una diminuzione della V_{OH} . Il corretto funzionamento è garantito fino a quando :

$$V_{OH\ min} > V_{IH}$$

In tali condizioni vale il rapporto:

$$I_{OH} / I_{IH} = N = F.O.(H)$$

che è definito come il fan-out al livello alto.

FAN-IN

Il termine fan-in è generalmente utilizzato per indicare il numero di ingressi indipendenti di una porta logica. Per esempio, una porta NAND a quattro ingressi ha un fan-in uguale a quattro.

CARATTERISTICHE DINAMICHE DELLE PORTE LOGICHE.

Un segnale logico viene comunemente rappresentato come avente un tempo nullo per passare da un livello all'altro. Nella pratica esso subisce distorsioni dovute sia alle reattanze parassite che ai dispositivi a giunzione. Nella fig. 9 è mostrato il significato dei simboli standard utilizzati per definire l'entità di tali distorsioni.

La loro definizione è la seguente:

t_d = (delay time) è il tempo che intercorre tra l'inizio del segnale all'ingresso e l'istante in cui l'uscita raggiunge il 10% del valore massimo.

t_r = (rise time) è il tempo richiesto per passare dal 10% al 90% del valore massimo.

t_{ON} = (turn-ON time) è pari alla somma di $t_d + t_r$.

t_{pd} = (pulse duration) è la durata dell'impulso presa al 50% del valore massimo, viene anche indicato con t_w (pulse width).

t_s = (storage time) è il tempo che intercorre tra l'istante in cui termina il segnale di ingresso e l'istante in cui i portatori minoritari abbandonano la giunzione e permettono alla corrente di iniziare a decrescere.

t_f = (fall time) è il tempo necessario per passare dal 90% al 10% del valore massimo.

t_{OFF} = (Turn-OFF time) è pari alla somma di $t_s + t_f$.

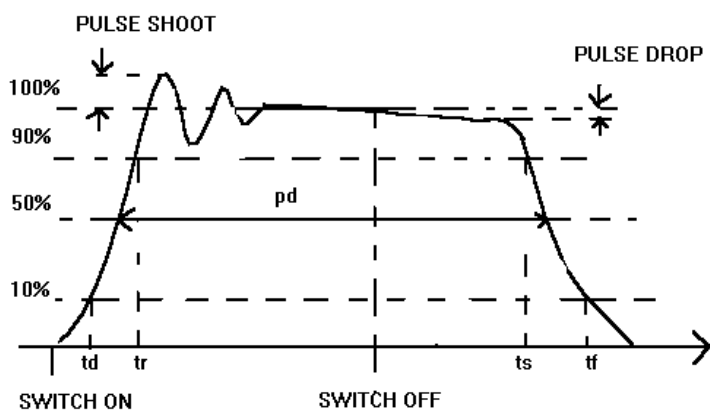


FIG. 9

Tempi di commutazione.

Indicando il ritardo con il quale un segnale si propaga dall'ingresso all'uscita di una porta logica e sono dovuti alla necessità fisica della corrente di attraversare gli elementi attivi che la compongono. Come mostra la fig. 10, si possono definire i seguenti punti:

t_{pLH} = tempo di ritardo di propagazione da basso ad alto; indica il ritardo con il quale l'uscita va da bassa ad alta rispetto al comando di ingresso. misurata dal 50% di V_{IH} al 50% V_{OL} .

t_{pHL} = tempo di ritardo di propagazione da alto a basso; indica il ritardo con il quale l'uscita va da alta a bassa rispetto al comando di ingresso.

viene misurata dal 50% di V_{IH} al 50% V_{OL} .

t_{pd} = tempo di ritardo di propagazione; è ottenuto dalla media aritmetica dei due precedenti che generalmente sono diversi:

$$t_{pd} = (t_{pLH} + t_{pHL}) / 2$$

Uno dei maggiori inconvenienti, causato da tempi di propagazione non nulli nel funzionamento di circuiti logici, è presenza di impulsi spuri (*glitches*) in uscita.

Tale fenomeno può essere chiarito con l'aiuto della fig. 11.

Nel circuito di fig. 11a, l'uscita Y dovrebbe sempre trovarsi a livello basso poiché i due ingressi della porta AND sono sempre opposti per qualsiasi livello assunto dall'ingresso.

Nella realtà, però, quando l'ingresso A subisce una transizione da basso ad alto (fig. 11b), l'ingresso A' va basso con un ritardo t_{p1} , esistono due livelli alti che portano, quindi, al livello alto anche l'uscita Y dopo un tempo di propagazione t_{p2} della porta 2.

Il risultato è che, contrariamente alle previsioni teoriche, all'uscita Y si presenta un impulso indesiderato di durata pari a circa t_{p1} .

Nella pratica, quindi, soprattutto quando si lavora in alta frequenza o con circuiti sequenziali occorre tener presente l'effetto dovuto ai diversi tempi di propagazione di segnali che percorrono tragitti diversi.

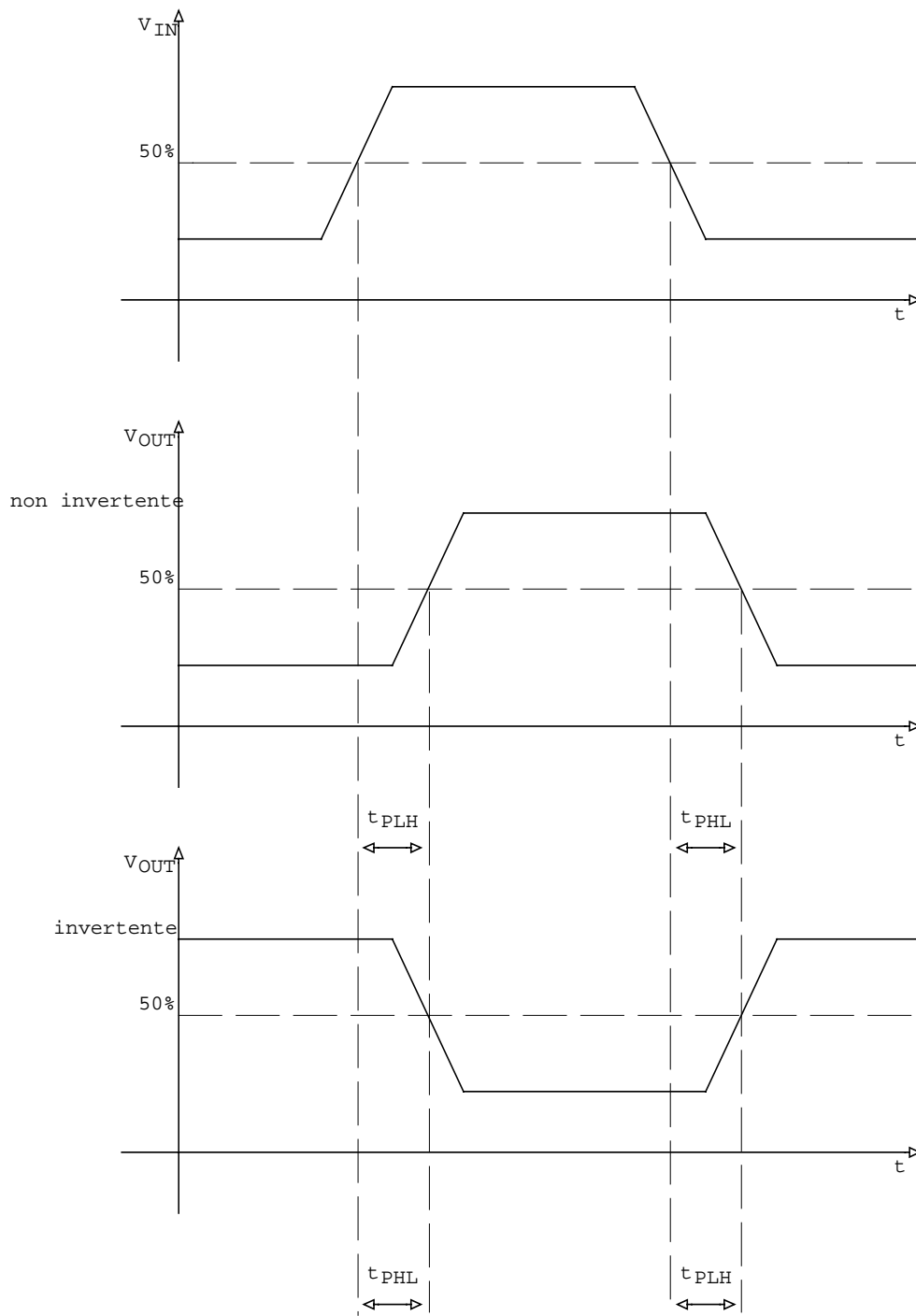


Fig. 10 Tempi di ritardo di propagazione.

Immunità dinamica al rumore.

L'immunità statica al rumore predice solamente gli effetti di una variazione dello stato costante nei livelli di tensione dei segnali.

L'immunità dinamica al rumore (AC *noise immunity*) estende tali specifiche, mostrandone anche gli effetti sia nei riguardi dell'ampiezza dell'impulso che della sua durata. L'interazione di questi parametri con il rumore dipende dai ritardi di propagazione e dai tempi di transizione delle porte logiche, per cui è una funzione delle capacità di ingresso e di uscita della porta.

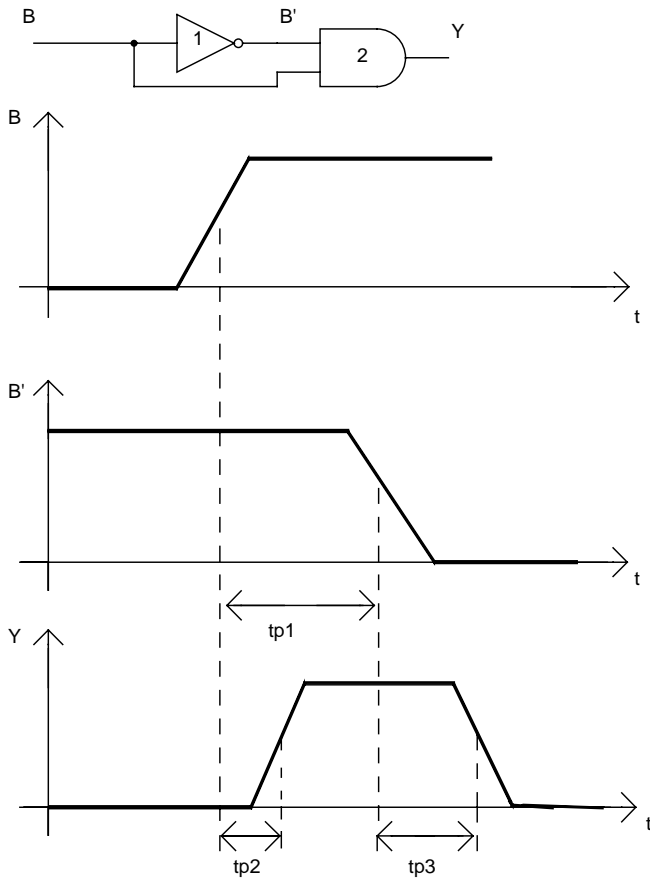


Fig. 11 Comparsa di un glitch dovuto

ai tempi di propagazione non nulli.

Nella figura 12 sono mostrati gli effetti che il tempo di propagazione ha sulla immunità ai disturbi. Si noti come all'approssimarsi della durata dell'impulso al tempo di propagazione della porta, l'ampiezza del rumore richiesta per influenzare il circuito diviene molto elevata. Allo stesso modo si può osservare che, all'aumentare della durata dell'impulso, l'ampiezza del rumore si avvicina ai valori del *noise margin* in condizioni statiche.

Fan-out dinamico.

La necessità di dover considerare un fan-out anche di tipo dinamico deriva da valutazioni circa la capacità di pilotaggio, delle porte logiche e di carichi con componenti capacitivi. In questi casi, infatti, durante le rapide transizioni da un livello all'altro d'hanno luogo a picchi, anche notevoli, di corrente dovuti alla carica o scarica delle capacità parassite poste all'ingresso delle porte logiche. E', comunque, da sottolineare che il fan-out dinamico va considerato come una limitazione obbligatoria solo nelle applicazioni ove i tempi di salita e discesa troppo allungati (dovuti alla carica e alla scarica dei condensatori) limitano la massima frequenza di lavoro.

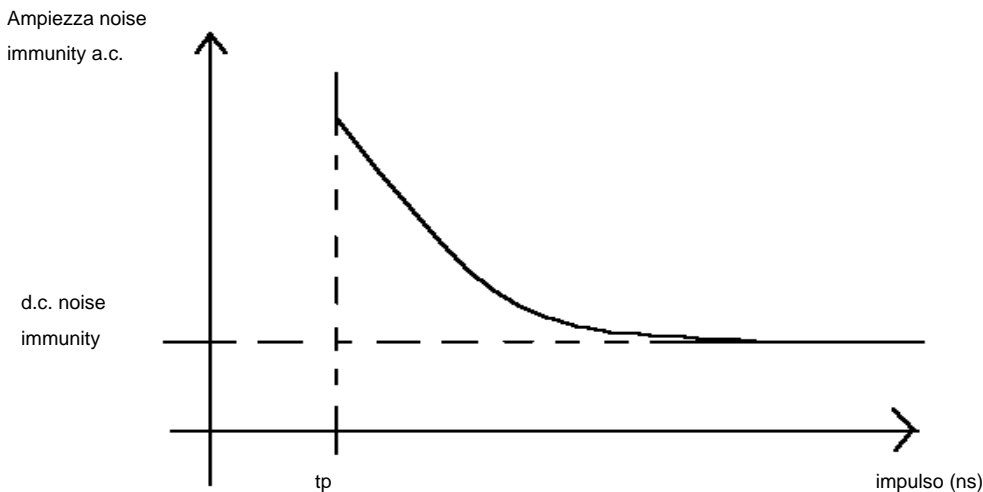


Fig. 12

LOGICA TRANSISTORE TRANSISTORE.

L'impiego della porta DTL è limitato dalla sua non elevata velocità di funzionamento. Per analizzare la causa principale che limita la velocità di funzionamento, consideriamo la porta ad un solo ingresso illustrata in fig. 1.

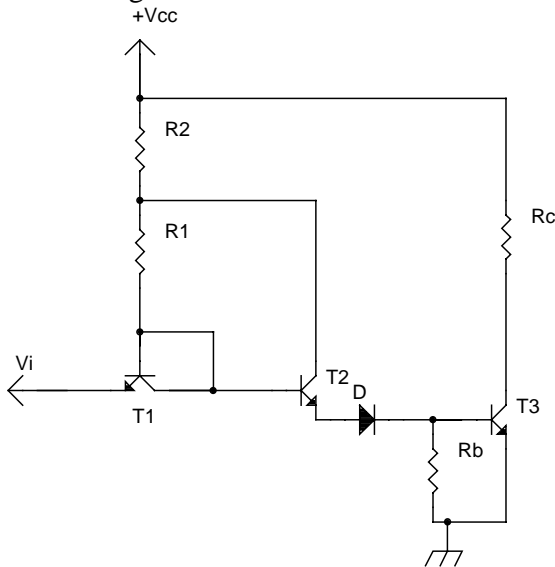


FIG. 1 La porta DTL base

questo meccanismo di rimozione della carica immagazzinata è relativamente lento e costituisce la principale limitazione della velocità di funzionamento della porta DTL. Questa limitazione viene superata nella porta in logica transistor transistor (TTL).

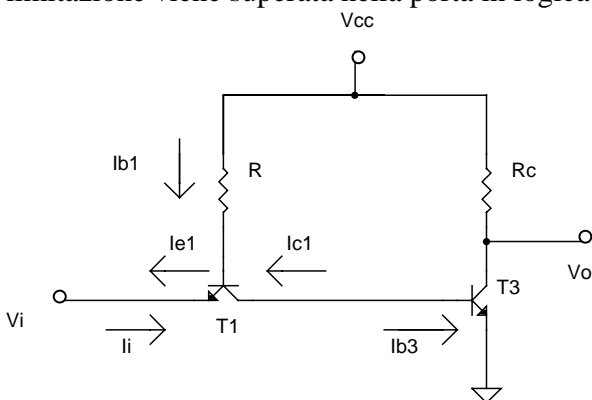


Fig. 2 Circuito base TTL.

In questo tipo di funzionamento il collettore di T1 funge da emettitore e l'emettitore da collettore. Il transistor

Dal momento, che poi introdurremo la porta TTL, abbiamo preferito rappresentare il diodo d'ingresso mediante un transistor connesso a diodo, cioè mediante un transistor avente il collettore e la base collegati insieme.

Si supponga ora che l'ingresso della porta si trovi a livello logico 1. Allora la corrente attraversa T2 e il diodo D ed entra nella base di T3. Il transistor T3 va in saturazione e l'uscita della porta si viene a trovare a livello logico 0. Se porti ora l'ingresso a livello logico 0. L'uscita della porta dovrebbe passare al livello logico 1. Questa transizione al livello logico 1 però non avviene finché il transistor T3 non è uscito dalla saturazione, non ha attraversato la regione attiva ed infine non è entrato nella zona di interdizione. Quest'ultima zona tuttavia non sarà raggiunta finché la carica immagazzinata nella base di T3 non sarà stata rimossa. Durante la rimozione di

Nella sua forma più semplice ed elementare questa porta si presenta come in fig. 2 (per ora disegniamo una porta ad un solo ingresso). La porta TTL di fig. 2 presenta una certa somiglianza con la porta DTL di fig. 1. Nella porta TTL il transistor di ingresso T1 è utilizzato proprio come un transistor, essendo stato eliminato il collegamento base-collettore. Il transistor T2 e il diodo D della porta DTL sono stati eliminati ed il collettore di T1 è collegato direttamente alla base di T3. Nella porta TTL quando l'ingresso è alto, la giunzione emettitore-base di T1 è polarizzata inversamente e la corrente scorre attraverso R e la giunzione base-collettore di T1, la polarizzata direttamente, entrando nella base di T3. In questo

T1 lavora pertanto nel modo inverso. Il transistor T3 viene portato in saturazione e l'uscita della porta è bassa (livello logico 0). Portiamo ora l'ingresso al livello logico 0. La giunzione di emettitore di T1 verrà polarizzata direttamente. Si noti che la base di T3 è collegata al terminale di collettore di T1. La carica accumulata nella base di T3 non si scarica più pertanto attraverso un resistore, come nella porta DTL, ma attraverso il collettore del transistor T1. Si noti che nella porta TTL non è neppure stato inserito il resistore di base di T3.

Confronto fra DTL e TTL.

Un semplice confronto consente di verificare la maggiore velocità della porta TTL rispetto alla DTL nel rimuovere la carica accumulata nella base di T3. Quando T3 è saturo, la sua tensione base-emettitore è $V_{\gamma} = 0,75 \text{ V}$. Quando, in fig. 1, il diodo D è interdetto, la corrente iniziale fuoriuscente dalla base T3 è $V_{\gamma} / R_b = 0,75 / 2 \text{ k}\Omega \cong 0,38 \text{ mA}$.

Passando alla porta TTL, supponiamo che l'ingresso sia a massa. La giunzione base-emettitore di T1 è allora polarizzata direttamente e la tensione ai suoi capi vale $0,75 \text{ V}$. Generalmente il valore di R in fig. 2 è $R = 4 \text{ k}\Omega$. Allora la corrente di base di T1 è $I_{B1} = (5 - 0,75) / 4 \text{ k}\Omega \cong 1,1 \text{ mA}$. Inizialmente T1 lavora nella regione

attiva poiché la tensione tra base e massa di T3, che è anche la tensione collettore-massa di T1, è $V_{\gamma} = 0,75 \text{ V}$ e perciò $V_{CE1} = 0,75 \text{ V}$. La corrente di collettore di T1 iniziale, che rappresenta anche la velocità con cui la carica di base di T3 viene rimossa, vale $h_{FE} I_{B1}$, dove h_{FE} è il guadagno di corrente di T1. Anche supponendo un h_{FE} non superiore a 20, si trova che la velocità di scarica è $h_{FE} I_{B1} = 20(1,1) = 22 \text{ mA}$, valore che va confrontato con $0,38 \text{ mA}$ della porta DTL.

La più rapida rimozione della carica immagazzinata in T3 fa sì che le porte TTL lavorino con tempi di propagazione che sono un decimo di quelli delle porte DTL.

Il transistor d'ingresso.

Quando l'ingresso è di 1 logico (cioè nominalmente a 5 V) il transistor T3 è in saturazione con tensione base-massa $V_{\gamma} = 0,75 \text{ V}$. La giunzione base-emettitore di T1 è allora polarizzata inversamente. Il transistor T1 lavora perciò nella sua regione attiva inversa. In questa regione inversa il transistor presenta un guadagno di corrente a base comune inversa α_1 (base comune) a cui corrisponde un guadagno di corrente a collettore comune $h_{FC} = \alpha_1 / (1 - \alpha_1)$. Riferendoci alla fig. 2, vediamo che se la corrente di base di T3 è I_{B3} , la corrente d'ingresso I_i è $I_i = \alpha_1 I_{B3}$. Il resto della corrente di base di T3 è fornito dalla corrente di base di T1, sicché $I_{B1} = (1 - \alpha_1) I_{B3}$. In una porta TTL il transistor d'ingresso T1 è appositamente progettato per avere un valore molto basso del guadagno di corrente inverso. Valore dell'ordine

$\alpha_1 \cong 0,02$ o anche più bassi sono tipici per le porte TTL. Con un tale valore di α_1 , solo il 2% della corrente di base richiesta da T3 viene fornita dal generatore che pilota l'ingresso, mentre l'altro 98% viene fornita attraverso R da V_{cc} . Così il basso valore di α_1 permette di minimizzare il carico sopportato dal generatore che pilota l'ingresso, almeno quando l'ingresso è al livello logico 1.

Affinché il circuito di fig. 2 possa essere utilizzato come porte, occorre aggiungere altri ingressi, ciascuno costituito da un transistor come T1. Tutti questi transistori d'ingresso dovrebbero avere i collettori collegati fra di loro e le basi collegate insieme. In pratica, invece di porre in parallelo tutti questi transistori d'ingresso, si utilizza un unico transistor fornito di un unico collettore comune, di un'unica base comune e di una pluralità di emettitori.

Come la porta DTL mostrata in fig. 1, anche la porta TTL di fig. 2 è una porta NAND. Se uno qualsiasi degli ingressi è a livello 0, T3 è interdetto e l'uscita della porta si trova a livello 1. Se tutti gli ingressi sono a livello logico 1, T3 è in saturazione e l'uscita è a livello 0.

Il pull-up attivo.

La velocità di funzionamento della porta TTL, dal momento che la carica di base del transistor d'uscita viene rapidamente rimossa nel modo sopra indicato, risulta limitata essenzialmente solo dalla capacità presente sull'uscita della porta stessa, fra il collettore di T3 e massa. Questa capacità è

costituita dalla capacità del transistor d'uscita stesso, dalla capacità verso massa dei conduttori che collegano l'uscita della porta alle altre porte o alle capacità d'ingresso di queste altre porte o dei dispositivi che queste altre porte devono pilotare. Quando T3 si interdice, questa capacità deve venire caricata da Vcc attraverso il resistore Rc di pull-up. Se la capacità d'uscita è C0, quest'ultima si carica e l'uscita passa dallo stato 0 logico all'1 logico con costante di tempo Rc C0. Questa costante di tempo può essere ridotta diminuendo il valore di Rc. Tale riduzione però farebbe aumentare la dissipazione di potenza in Rc e, naturalmente, nel transistor T3 quando è in conduzione. Inoltre la riduzione di Rc renderebbe più difficile saturare T3.

L'artificio usato nelle porte TTL per rendere rapida la carica della capacità d'uscita senza introdurre un inaccettabile aumento della potenza dissipata è illustrato in fig. 3. Qui il resistore di pull-up Rc di fig. 2 è sostituito da dispositivi attivi, il transistor T2 ed il diodo D.

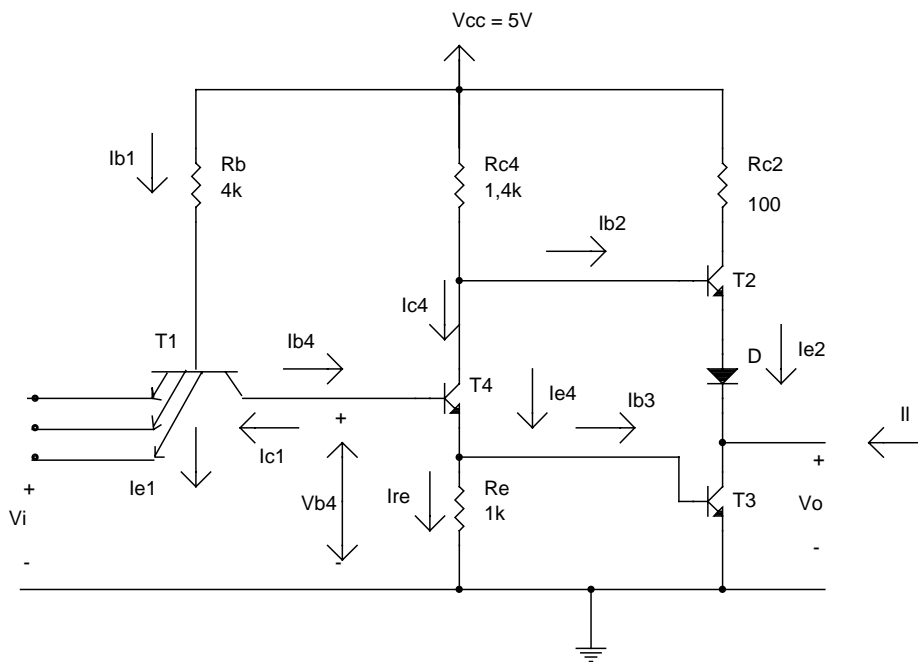


Fig. 3 Porta NAND TTL.

Nel circuito a pull-up attivo di fig. 3 si intende che, quando l'uscita Vo è allo 0 logico, T3 è in saturazione e T2 interdetto. Viceversa, quando l'uscita passa dallo 0 logico all'1 logico, T3 deve interdarsi, mentre T2 deve entrare e la capacità d'uscita deve caricarsi attraverso la serie costituita dal transistor ad inseguitore di emittore T2 e dal diodo D. La commutazione dei transistori T3 e T2 viene comandato dal

transistore T4, che costituisce un separatore di fase (phase splitter) per fornire alle basi di T3 e di T2 tensioni di fase opposta. In questo modo quando transistore della coppia totem-pole T3-T2 è in conduzione, l'altro è interdetto e viceversa. Il termine "totem-pole" deriva dal palo del totem dei pellirosse ed è dovuto al fatto che T2 "siede sulle spalle" di T3.

Per capire la funzione del diodo D disposto fra i due transistori d'uscita, si consideri la situazione che si verifica quando gli ingressi sono tutti ad 1 logico, nel qual caso l'uscita deve trovarsi al livello logico 0. Con gli ingressi al livello 1, i transistori t4 e T3 sono entrambi saturi. La tensione di collettore di T3 è allora

$V_{CE}(\text{sat}) \cong 0,2 \text{ V}$, mentre la tensione di collettore di T4 è $V_{CE4}(\text{sat}) + V_{BE3} \cong 0,2 + 0,75 = 0,95 \text{ V}$. In questo caso, se non ci fosse il diodo D, la tensione base-emettitore di T2 sarebbe $V_{C4} - V_{C3} = 0,95 - 0,2 = 0,75 \text{ V}$ e T2 sarebbe anch'esso in saturazione. Noi vogliamo però che con l'uscita allo 0 logico, T2 sia interdetto. Inserendo allora il diodo D, la caduta di 0,75V tra il collettore di T4 ed il collettore di T3 viene ripartita fra il diodo D e la giunzione base-emettitore di T2. In questo modo ne il diodo D ne il transistor T2 avranno polarizzazione diretta sufficiente a far passare una corrente apprezzabile.

Caratteristica ingresso-uscita escludendo il transistore d'ingresso.

Iniziamo ora a descrivere quantitativamente il funzionamento della porta TTL di fig. 4. Poiché questa porta è sostanzialmente più complessa sia della porta RTL che della porta DTL, pensiamo che sia più conveniente considerare inizialmente non la caratteristica complessiva ingresso-uscita, ma la caratteristica che lega la tensione d'uscita V_o della porta con la tensione della base V_{B4} del transistore T4. Nel prossimo paragrafo studieremo successivamente la relazione tra V_{B4} e la tensione d'ingresso V_i ; mettendo insieme queste due caratteristiche potremo ricavare la caratteristica complessiva della porta.

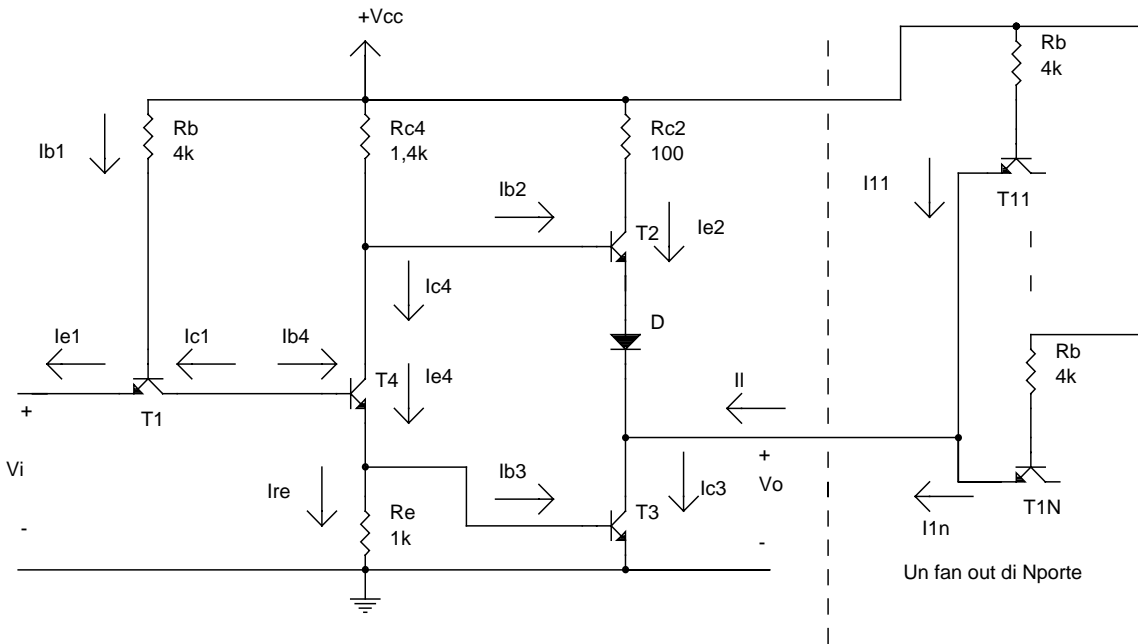


Fig. 4 Porta TTL con carico.

Iniziamo con $V_{B4} = 0V$. In questo caso T4 e T3 sono interdetti. Il transistore T2 fornisce una corrente I_{E2} alle N porte da pilotare. La corrente di emettitore I_{E2} è uguale a $-I_L$, che rappresenta la corrente di carico. Secondo la convenzione comune il verso positivo di I_L è quello entrante nella porta. Il circuito che ci permette di calcolare la tensione d'uscita V_o è illustrato in fig. 5. La tensione d'uscita V_o è data da:

$$V_o = V_{cc} - R_{C4} I_{B2} - V_{BE2} - V_D \quad (1)$$

dove $V_{cc} (= 5 V)$ è la tensione di alimentazione, $R_{C4} I_{B2}$ è la caduta su R_{C4} , V_{BE2} è la tensione base-emettitore di T2 e V_D è la caduta sul diodo. Supponendo che T2 lavori nella ragione attiva, la corrente di base è $I_{B2} = I_{E2} / (h_{FE} + 1) = -I_L / (h_{FE} + 1)$.

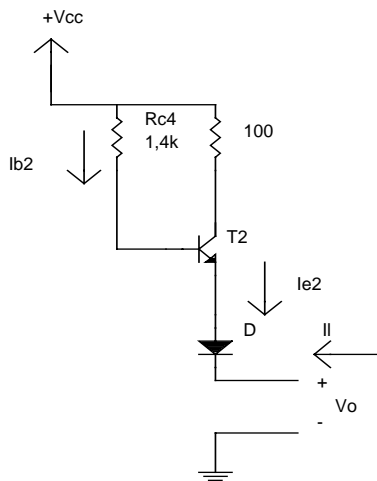


Fig. 5 Circuito d'uscita per calcolare V_o quando T3 e T4 sono interdetti.

L'equazione (1), poiché $h_{FE} \cong h_{FE} + 1$, diventa :

$$V_o = V_{CC} + R_{C4} I_L / h_{FE} - V_{BE2} - V_D \quad (2)$$

Quando T3 è interdetto, V_o è a livello logico 1. Per calcolare la corrente di carico I_L , si osservi che tutti i transistori d'ingresso delle N porte pilotate di fig. 4 funzionano nel loro modo inverso, proprio come il transistor d'ingresso del circuito base di fig. 2. In ognuna di queste porte di carico (di cui in fig. 4 si vedono solo i transistori d'ingresso) i transistori T3 e

T4 sono saturi. Quindi $V_{B4} = V_{BE3} + V_{BE4} = 0,75 + 0,75 = 1,5$ V. La corrente di base T4 deve venire fornita dalla giunzione di collettore del transistor d'ingresso. Questo transistor d'ingresso lavora nella sua regione attiva (anche se in modo inverso), per cui possiamo ammettere una caduta di 0,7 V sulla giunzione base-collettore. Complessivamente la tensione sulla base del transistor d'ingresso è $1,5 + 0,7 = 2,2$ V. La caduta su ciascun resistore di base R_b è perciò $5,0$ V - $2,2$ V = $2,8$ V. La corrente attraverso R_b è $2,8 / 4k\Omega = 0,70$ mA. Supponendo che i transistori d'ingresso T11 - T1N abbiano ciascuno $h_{FC} = 0,02$, la corrente d'ingresso per ogni porta di carico vale $0,70 (0,02) = 14 \mu A$. Se il carico della porta pilotata è costituito da una porta sola, la giunzione di emettitore T2 ed il diodo D sono interessati da una corrente così piccola ($14\mu A$) che si può ragionevolmente assumere $V_{BE2} = V_D = V_\gamma = 0,65$ V. In questo caso la caduta su R_{C4} [secondo termine dell'eq. (2)] è trascurabile e si ha:

$$V_o \cong V_{CC} - 2V_\gamma = 5,0 - 2(0,65) = 3,7$$
 V (3)

Supponiamo ora invece di dover pilotare 10 porte (come vedremo un Fan-out di 10 è il valore generalmente specificato dai costruttori) e supponiamo di avere, nel caso peggiore, un h_{FC} di 0,1. In questo caso la corrente di carico sarà dell'ordine di 1mA. Anche con questa corrente la caduta su R_{C4} è di nuovo trascurabile; però in questo caso è più corretto assumere $V_{BE2} = V_D = 0,75$ V. La tensione d'uscita è allora:

$$V_o \cong V_{CC} - 2V_\gamma = 5,0 - 2(0,75) = 3,5$$
 V (4)

Vediamo perciò che quando al V_o si trova a livello logico 1, il suo valore non dipende molto dalla corrente di carico e quindi dal fan-out. Di conseguenza, per semplificare supponiamo che, quando T4 (e quindi T3) sono interdetti, la tensione d'uscita V_o sia quella dell'equazione (4). Questo è proprio il valore della tensione d'uscita indicato nel diagramma di fig. 6 illustrante la caratteristica ingresso uscita della porta.

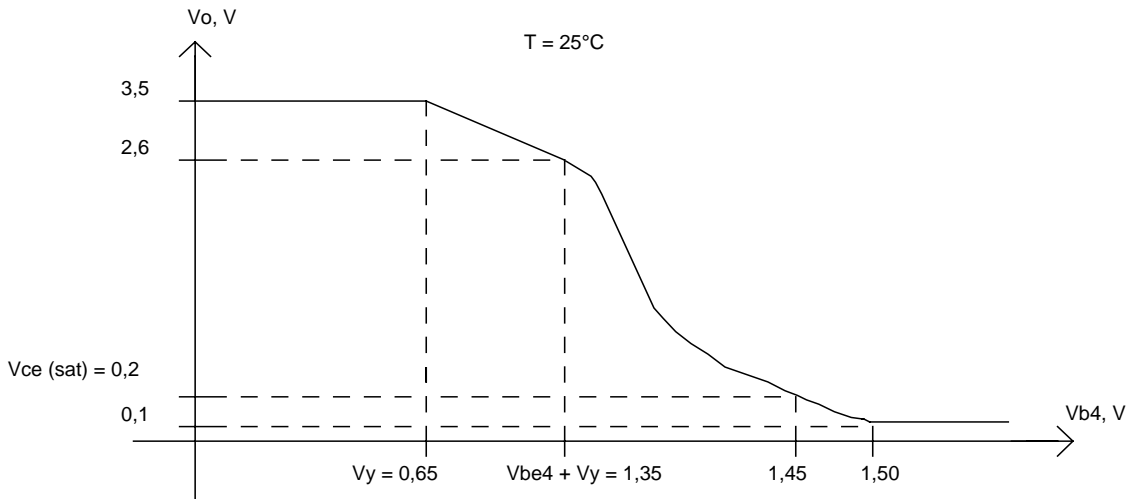
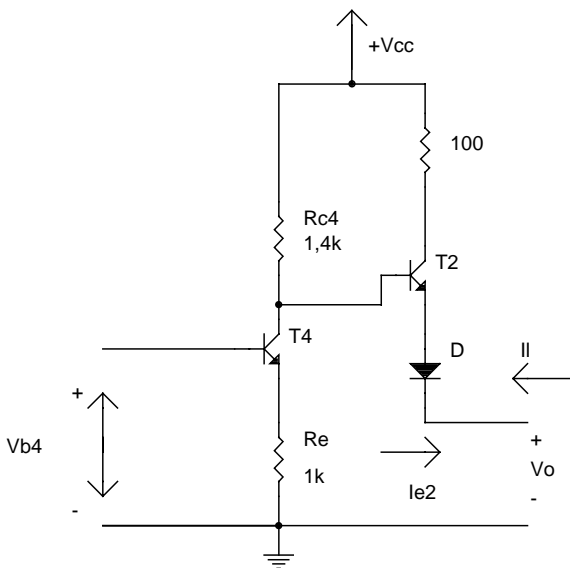


Fig. 6 Caratteristica ingresso uscita della porta TTL.

Supponendo che V_{B4} inizi ad aumentare partendo da zero. Quando V_{B4} arriva al valore di circa $V_{B4} = V_{\gamma} = 0,65$ V, il transistor $T4$ inizia ad entrare nella sua regione attiva. Tuttavia, a causa della caduta sulla giunzione base-emettitore di $T4$, $T3$ resterà interdetto. Quindi il circuito adatto a calcolare la risposta della tensione di uscita V_o rispetto a V_{B4} è ora quello di fig. 7. Continuando ad aumentare la V_{B4} , $T3$ raggiungerà alla fine il punto di soglia. A questo punto $T4$ è nella sua regione attiva per cui assumeremo una tensione base-emettitore $V_{BE4} = 0,7$ V. Supponendo come al solito che $T3$ esca dall'interdizione quando la tensione sulla sua giunzione base-emettitore è $V_{BE3} = V_{\gamma} = 0,65$ V, $T3$ inizierà a condurre quando $V_{B4} = V_{BE4} + V_{BE3} = 0,7 + 0,65 = 1,35$ V. A questo punto, quando $T3$ sta iniziando a condurre, la corrente in R_e , e quindi sostanzialmente la corrente in R_{C4} , vale $V_{\gamma} / R_e = 0,65 / 1k\Omega = 0,65$ mA. La corrispondente caduta su $R_{C4} = 1,4 \cdot 0,65 = 0,9$ V. Quindi V_o è di 0,9V inferiore al valore dato dall'equazione (4), cioè $V_o = 3,5 - 0,9 = 2,6$ V, in corrispondenza a $V_{B4} = 1,35$ V, come indicato in fig. 6.



Quando $T3$ passa in conduzione, il guadagno incrementale $A = \Delta V_o / \Delta V_{BE4}$ aumenta e la tensione d'uscita V_o comincia a calare al crescere di V_{BE4} in maniera più decisa di quando $T3$ era interdetto. Questo aumento del guadagno è dovuto a due cause: da una parte V_o diminuisce semplicemente perché $T3$ inizia a condurre; dall'altra, se $T3$ conduce la R_e viene a trovarsi in parallelo all'impedenza che si vede guardando nella base di $T3$. La resistenza di emettitore di $T4$ perciò diminuisce e, come indicato nell'equazione che segue, che riguarda l'amplificazione di collettore dello stadio a doppio carico, $A_c = V_c / V_i = - R_c / R_e$ il guadagno di $T4$ aumenta. Riferendoci ancora alla figura 4, vediamo che ad un ulteriore aumento della V_{B4} , $T3$ entra finalmente in saturazione. Supponendo, come in realtà, che la tensione base emettitore valga $V_{\gamma} = 0$

,75 V, avremo una V_o di saturazione $V_o \cong 0,2$ V quando:

$$V_{B4} = V_{BE4} + V_{\gamma} = 0,7 + 0,75 = 1,45 \text{ V}$$

Questo valore è stato indicato nel grafico di fig. 6.

Quando V_{B4} passa da 1,45V a 1,5V, T3 e T4 diventano entrambi saturi e T2 interdettato. In questo caso T3 è fortemente saturo, per cui $V_o \cong 0,1\text{V}$.

Caratteristiche ingresso-uscita del transistoro di ingresso.

Il diagramma di fig. 6 lega la V_o alla tensione di base V_{B4} . Molto maggiore interesse presenta naturalmente la caratteristica che lega la tensione V_o con la tensione d'ingresso V_i , illustrata in fig 8 . Ora studieremo il funzionamento del transistoro T1, in modo da determinare la relazione tra V_i e V_o . Come abbiamo fatto notare, quando V_i si trova a livello di tensione alto, corrispondente ad 1 logico, il transistoro di ingresso T1 lavora in modo inverso nella regione attiva. La corrente di collettore I_{C1} , che è anche la corrente di base I_{B4} di T4, viene fornita principalmente dalla corrente di base I_{B1} di T1. Il guadagno di corrente h_{FC} , nel modo inverso, è volutamente estremamente basso ($h_{FC} \cong 0,02$), sicché il generatore d'ingresso V_i fornisce solo circa il 2% della corrente di base di T4. In queste condizioni T3 e T4 sono saturi, $V_{B4} = 0,75 + 0,75 = 1,5\text{V}$, e l'uscita V_o della porta è a livello logico 0. Questa situazione si mantiene finché V_i è sufficientemente positiva rispetto a V_{B4}

($2V_{\gamma} = 1,5\text{V}$) da mantenere T1 nella regione attiva inversa.

Dimostreremo ora che finché V_i , diminuendo, non arriva a $V_i = 2V_{\gamma} (=1,5\text{V})$, il transistoro T3 e T4 rimangono in saturazione e di conseguenza V_o rimane allo stato logico 0. Con $V_i = 2V_{\gamma}$, $V_{CE1} = 0\text{V}$ e T1 è in saturazione. Perciò con $V_{CE1} = V_{CE(sat)} = 0$ si ha $\gamma = -1 / (h_{FE} + h_{FC})$, poichè $h_{FE} \gg h_{FC}$. Applicando la definizione di γ al transistoro T1, si ha che $\gamma = I_{C1} / h_{FE} I_{B1}$. Sostituendo a questa definizione il valore di $\gamma = -1 / h_{FE}$, si trova che $-I_{C1} = I_{B1}$. Quindi ora la corrente di emettitore di T1 è zero. Tuttavia la corrente di emettitore di T1 fornisce solo il 2% della corrente di base di T4, per cui questo piccolo calo nella corrente di base non si fa sostanzialmente sentire su T4 o T3. Pertanto V_o resta allo 0 logico.

Quando V_i scende a tensioni inferiori a $2V_{\gamma} = 1,5\text{V}$, I_{B4} viene a poco a poco deviata dalla giunzione base-collettore alla giunzione base-emettitore di T1. Alla fine la corrente di base di T4 si ridurrà a un valore tale per cui T4 si verrà a trovare al limite della saturazione. Calcoliamo la V_i inerente a questa situazione. sappiamo che quando un transistoro si trova nella regione di saturazione la sua tensione collettore emettitore è $V_{CE(sat)} = 0,2 \text{ V}$. Proprio al limite della saturazione il valore più ragionevole sarà $V_{CE(sat)} = 0,3 \text{ V}$. Riferendosi alla fig. 4, poichè T2 è OFF quando T3 conduce, si ha

$$V_{CC} = R_{C4} I_{C4} + V_{CE4(sat)} + V_{BE3}$$

oppure:

$$5 = 1,4 \cdot 10^3 \cdot I_{C4} + 0,3 + 0,75$$

da cui:

$$I_{C4} = 2,8 \text{ mA}$$

Perciò T4 è al limite della saturazione, $I_{C4} = h_{FE} I_{B4}$; perciò con $h_{FE} = 50$ si ha:

$$-I_{C1} = I_{B4} = \frac{I_{C4}}{h_{FE}} = \frac{2,8 \cdot 10^{-3}}{50} = 56 \mu\text{A}$$

La tensione di base V_{B4} è 1,5V. Ammettendo una caduta di 0,7V sulla giunzione di collettore di T1, data la corrente di soli 56µA che la attraversa, la tensione base massa di T1 sarà $1,5 + 0,7 = 2,2\text{V}$. Pertanto la corrente di base di T1 è $I_{B1} = (5 - 2,2) / 4 \text{ k}\Omega = 0,7 \text{ mA}$. Si può calcolare il parametro γ del transistoro T1; si trova:

$$\gamma = \frac{I_{C1}}{h_{FE} \cdot I_{B1}} = \frac{-56 \times 10^{-6}}{50(0.7) \times 10^{-3}} = -1,6 \times 10^{-3}$$

Questo valore di γ è molto prossimo a $\gamma = 0$, per cui non commettiamo un grave errore prendendo $\gamma = 0$. In questo caso $V_{CE}(\text{sat})$ è data dalla seguente equazione:

$$V_{CE} \cong V_T \ln(1 / \alpha_1)$$

Per $\alpha_1 = 0,02$, $V_{CE} \cong 100\text{mV}$. Così la tensione v_i per cui T4 esce dalla saturazione è di circa 0,1V più bassa della V_{B4} corrispondente. Al decrescere di v_i , la $I_{B4} = -I_{C1}$ decresce, azzerandosi quando T4 si interdica e restando poi a zero. Quindi γ , il cui valore quando T4 è in saturazione scende a $\gamma = 0$ quando T4 è interdito, rimanendo poi a zero. Pertanto v_i è nuovamente di 0,1V inferiore a V_{B4} . E' chiaro che il grafico ingresso uscita della porta NAND (TTL) è lo stesso di quello di V_o in funzione di V_{B4} traslato però a sinistra sull'asse dell'ascisse di 0,1V.

Il transistor multi-emettitore.

Nel paragrafo precedente abbiamo considerato che il transistor d'ingresso avesse un solo emettitore. Ora consideriamo questo transistor con più emettitori. Per comodità in fig. 8 abbiamo rappresentato il transistor multi-emettitore mediante una serie di transistori con i collettori collegati fra di loro e le basi

collegate insieme. gli ingressi $V_{iA}, V_{iB}, \dots, V_{iN}$ sono applicati agli emettitori di questi transistori.

Supponiamo che tutti gli ingressi siano a livello uno, corrispondono nominalmente a $V_{iA} = V_{iB} = \dots = V_{iN} = V_{CC} - 2V_\gamma = 3,5\text{V}$. Ciascuno dei transistori di ingresso T1 lavora nella regione inversa attiva. Partiamo con l'ipotesi che T3 e T4 siano saturi. Allora la tensione $V_{B4} = 2V_\gamma = 1,5\text{V}$ mentre $V_{B1} = 0,7 + 1,5 = 2,2\text{V}$. La corrente in Rb è allora $I_{B1} = (5,0 - 2,2) / (4\text{k}) = 0,7\text{mA}$. In questo modo di funzionamento la corrente complessiva di emettitore è $I_E = -h_{FC} I_{B1}$, dove h_{FC} è il guadagno di corrente inverso corrispondente ad α_I . Ora $h_{FC} = \alpha_I / (1 - \alpha_I) \cong \alpha_I$ poiché $\alpha_I \ll 1$. con $\alpha_I = 0,02$ si ha $I_E = -0,02(0,7)\text{mA} =$

$-0,014\text{mA}$. Così la corrente di base complessiva di T4 è $I_{B4} \cong 0,7\text{mA}$.

Notiamo che la corrente di base richiesta per il pilotare T4 viene fornita quasi tutta da V_{CC} attraverso la Rb. La corrente totale richiesta dall'esterno per pilotare T1A, T1B, ..., T1N è il 2 % della corrente di base I_{B4} . Se ci sono N ingressi, ciascuna porta pilota deve fornire solo il $2/N\%$ di questa corrente.

Supponiamo ora che uno degli emettitori di ingresso, per esempio quello di T1A, sia al livello logico 0, corrispondente a circa 0,2 V, tensione di saturazione della porta pilota. Allora, come visto nel paragrafo precedente, T1A sarà saturo e $V_{C4} = V_{iA} + V_{CE}(T1A) \cong 0,2 + 0,1 = 0,3\text{V}$. I transistori T4 e T3 sono perciò interdetti, come richiesto. Ora, mentre T1A lavora in saturazione con la sua giunzione di emettitore polarizzata direttamente e con una corrente di emettitore molto superiore a quella di collettore, supponiamo che gli emettitori degli altri "transistori" T1B, ..., T1N siano tutti allo stato logico 1 con $v_i = 3,5\text{V}$. Questi transistori lavorano nel modo attivo inverso con la loro giunzione base collettore polarizzata direttamente mentre la giunzione base emettitore polarizzata inversamente. Inoltre, poiché $V_{iA} = 0,2\text{V}$ e poiché T1A è saturo, $V_{B1} = V_{iA} + V_{BE}(T1A) \cong 0,2 + 0,75 = 0,95\text{V}$. Essendo la tensione di collettore di T1B, ..., T1N sono pari a 0,65V, cioè di $\approx 1\text{V}$ inferiori alla tensione di polarizzazione diretta della giunzione base-emettitore di T1A. in diverse occasioni abbiamo fatto notare che una variazione di 0,1 V porta un transistor dalla zona di saturazione al limite dell'interdizione. Pertanto relativamente alla fig. 8 possiamo dire che quando uno o più degli ingressi è posto al livello logico 0, gli altri transistori sono, a tutti gli effetti, interdetti.

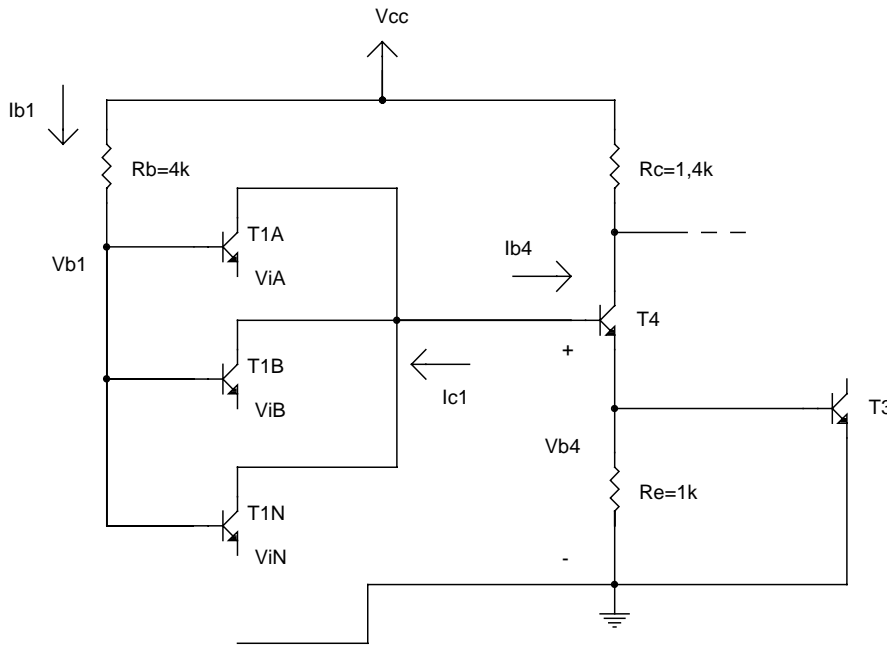
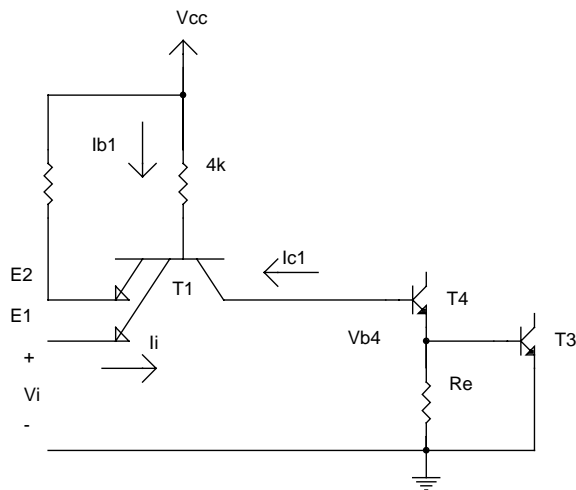


Fig. 8 Circuito per spiegare il funzionamento del transistore multi-emettitore.

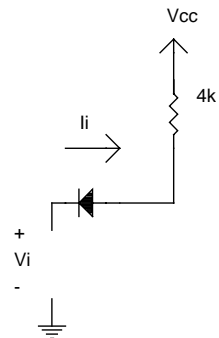
Caratteristica tensione-corrente di ingresso della porta TTL.

A causa della relazione complessità della logica TTL, è utile considerare, oltre alla caratteristica di trasferimento, anche la caratteristiche tensione corrente di ingresso uscita. Consideriamo dapprima la caratteristica d'ingresso. In fig. 9a prendiamo in considerazione la caratteristica tensione corrente relativa ad uno degli emettitori di ingresso. Gli altri emettitori di ingresso (nella figura ne è indicato solo un'altro) si suppongono a livello logico 1. Per i motivi visti

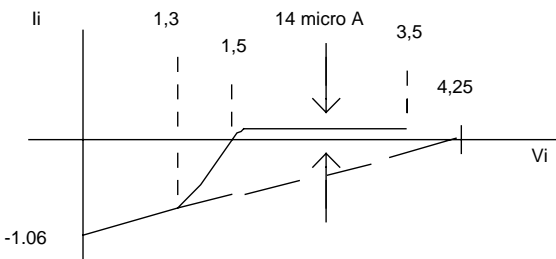
nel paragrafo precedente trascuriamo l'effetto di questi altri emettitori. Quando $V_i = 0V$, T4 è interdetto e perciò la corrente di collettore è $I_{c1} = 0$. In questo caso, trascurando la corrente che proviene da E2, possiamo rappresentare T1 come un diodo. Il circuito equivalente per calcolare la I_i è pertanto in fig. 9b. Assumendo come al solito la tensione sulla giunzione pari a $0,75V$, $I_i = -(5 - 0,75) / (4k\Omega) = -1,06mA$, come indicato nel grafico di fig. 9c. Finchè tutta la corrente che passa nel resistore da $4k\Omega$ passa anche nella giunzione E1, la caratteristica tensione-corrente è una retta intersecante l'asse delle correnti nel punto $-1,06mA$ e l'asse delle tensioni nel punto $5 - 0,75 = 4,25V$. Questa retta è indicata a tratteggio nel grafico. Al crescere di V_i , il diagramma $I_i - V_i$ si stacca dalla retta non appena T4 inizia a condurre. Quando $I_i = 0$, tutta la corrente che passa nel resistore da $4k\Omega$ viene a scorrere nel collettore di T1 e nella base di T4. A questo punto sia T4 che T3 sono in saturazione e V_{B4} sarà circa $1,5V$. Poiché $I_i = 0$, la corrente di emettitore di T1 è nulla e la tensione collettore-emettitore risulta data dalla seguente equazione:



(a)



(b)



(c)

Fig. 9 Caratteristica tensione corrente di ingresso.

$$V_{CE1} = -V_T \ln(1/\alpha_N)$$

Con $V_T = 25 \text{ mV}$ e $\alpha_N = 0,98$, si ha una $V_{CE1} \cong -0,5 \text{ mV}$. Così V_i risulta di $0,5 \text{ mV}$ inferiore a $V_{B4} = 1,5 \text{ V}$. Pertanto si può approssimare $V_i \cong 1,5 \text{ V}$ quando $I_i = 0$. Questo punto è indicato nel grafico di fig. 9c. Si può anche calcolare la tensione per cui la caratteristica inizia a staccarsi dalla retta tratteggiata di fig. 9c. Questo distacco inizia quando la corrente di base di T4 comincia ad essere significativa.

Possiamo pensare che ciò si verifica quando sia T4 che T3 sono nella loro

zona attiva. In corrispondenza T1 sarà saturo, sicché avremo $V_i = V_{BE3} + V_{BE4} - V_{CE1} \cong 0,7 + 0,7 - 0,1 = 1,3 \text{ V}$.

Per V_i maggiore di $1,5 \text{ V}$ la corrente di emettitore di T1 cambia direzione ed il transistor entra nella sua regione attiva inversa. L'emettitore E1 si comporta allora come un collettore ed $I_i = h_{FC} I_{B1}$. Con $h_{FC} \cong 0,02$ ed $I_{B1} = 0,7 \text{ mA}$ abbiamo una $I_i \cong 14 \mu\text{A}$. Questa corrente resta circa costante fino a quando V_i raggiunge il suo valore massimo.

Caratteristica tensione-corrente di uscita della porta TTL.

Quando l'ingresso della porta di fig. 4 si trova allo 0 logico, T4 e T3 sono interdetti. L'uscita della porta si trova allora a livello logico 1 e la porta eroga corrente, cioè fornisce corrente al carico, sicché I_L è negativa. Quando l'ingresso della porta si trova a livello logico 1, T2 è interdetto, T3 è saturo e la porta assorbe corrente, cioè I_L è positiva.

Consideriamo dapprima il caso in cui l'ingresso si trova al livello logico 0, T3 è interdetto e la porta eroga corrente. Allora la caratteristica d'uscita della porta può venire ricavata dalla fig. 10, dove $-I_L = I_s$ è la corrente erogata. Poiché in questo caso T2 opera nella sua regione attiva, la corrente di base è $I_s / (h_{FE} + 1)$. Partendo dai 5V di alimentazione e tenendo conto delle cadute di tensione su R_{c4} , sulla giunzione base emettitore di T2 (0,65 V) e su diodo D (0,65 V), si ha

$$V_O = 3,7 - \frac{R_{c4}}{h_{FE} + 1} \cdot I_s \quad (1)$$

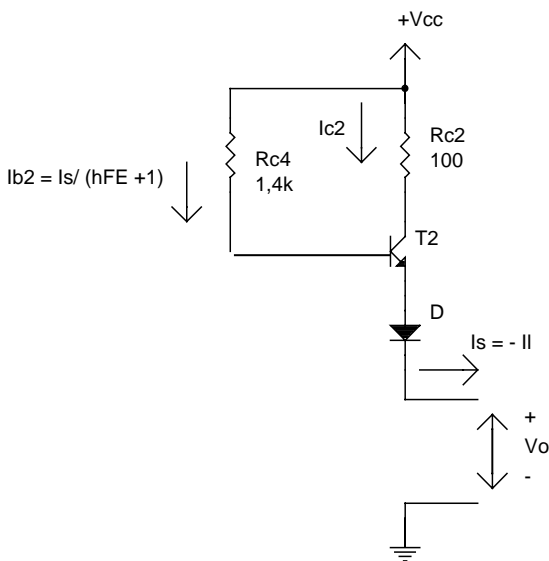


Fig. 10 Circuito per determinare la caratteristica tensione-corrente d'uscita quando T3 e' interdetto

Così l'uscita può essere rappresentata, secondo il circuito equivalente di Thevenin, da una tensione di 3,7V in serie ad una impedenza d'uscita $R_{C4} / (h_{FE} + 1)$. Con $R_{C4} = 1,4k\Omega$ e $h_{FE} + 1 = 50$, si trova che questa impedenza d'uscita vale $28k\Omega$, sicché:

$$V_o = 3,7 - 28 I_s \quad (2)$$

Quando il transistor T2 è saturo, $V_{BE2} = 0,75$ V e $V_{CE2} = 0,2$ V. Anche $V_D = 0,75$. In questo caso $I_{B2} = (3,5 - V_o) / 1400$ e $I_{C2} = (4,05 - V_o) / 100$. Poiché $I_s = I_{C2} + I_{B2}$ e $I_{B2} \ll I_{C2}$, si ha:

$$V_o \cong 4,05 - 100 I_s \quad (3)$$

Le rette che rappresentano le equazioni 1 e 2 si intersecano per $I_s \cong 5mA$. Quando per $I_s > 5mA$ il transistor si trova in saturazione e si applica l'ultima equazione scritta fino a questo punto, mentre per

$I_s < 5mA$ il transistor si trova nella regione attiva e si applica dunque l'equazione (2). La caratteristica d'uscita è allora data dal grafico a tratto continuo di fig. 11. Per correnti molto basse il grafico si deve scostare dalla retta data dall'equazione (2). Infatti per $I_s = 0$ non c'è caduta di tensione alcuna su R_c o sulla giunzione base-emettitore di T2 o sul diodo D; V_o deve essere uguale quindi a $C_V = 5,0$ V.

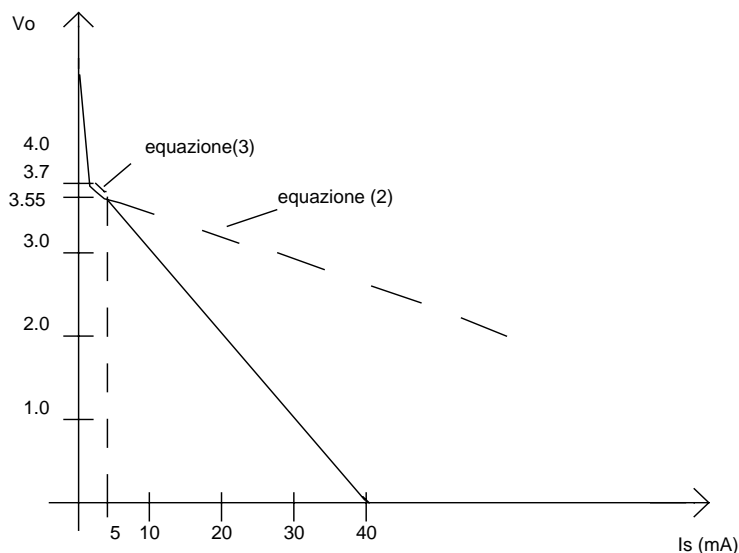


Fig. 11 Caratteristiche di ingresso-uscita quando t3 è OFF

Quando tutti gli ingressi della porta di fig. 4 sono al livello logico 1, T2 è interdetto mentre T3 e T4 sono saturi. Dall'uscita si vede il transistor T3 saturo, come illustrato in fig. 12, che ora assorbe la corrente I_L .

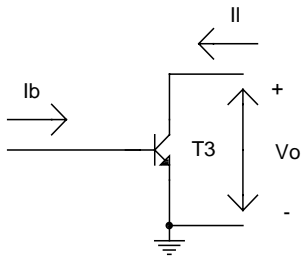


Fig 12 Circuito equivalente per calcolare tensione corrente d'uscita quando T3 e' saturo (T2 e' interdetto)

Tipi di porte TTL.

Sono disponibili diversi tipi di porte TTL che differiscono fra di loro principalmente per la scelta del compromesso tra velocità di funzionamento e consumo di potenza. Così la porta di fig. 4 è considerata una porta di media velocità, presenta un consumo medio di circa 10 mW ed un ritardo di propagazione di circa 10 ns. Il consumo però può essere diminuito, a spese però della velocità, aumentando il valore delle resistenze. E' disponibile in commercio una porta (confronta con fig. 4) con $R_b = 40k\Omega$, $R_{C4} =$

$= 20k\Omega$, $R_e = 12k\Omega$ e $R_{C2} = 500\Omega$ che presenta un consumo di solo 1mW ma un tempo di propagazione medio di 33 ns.

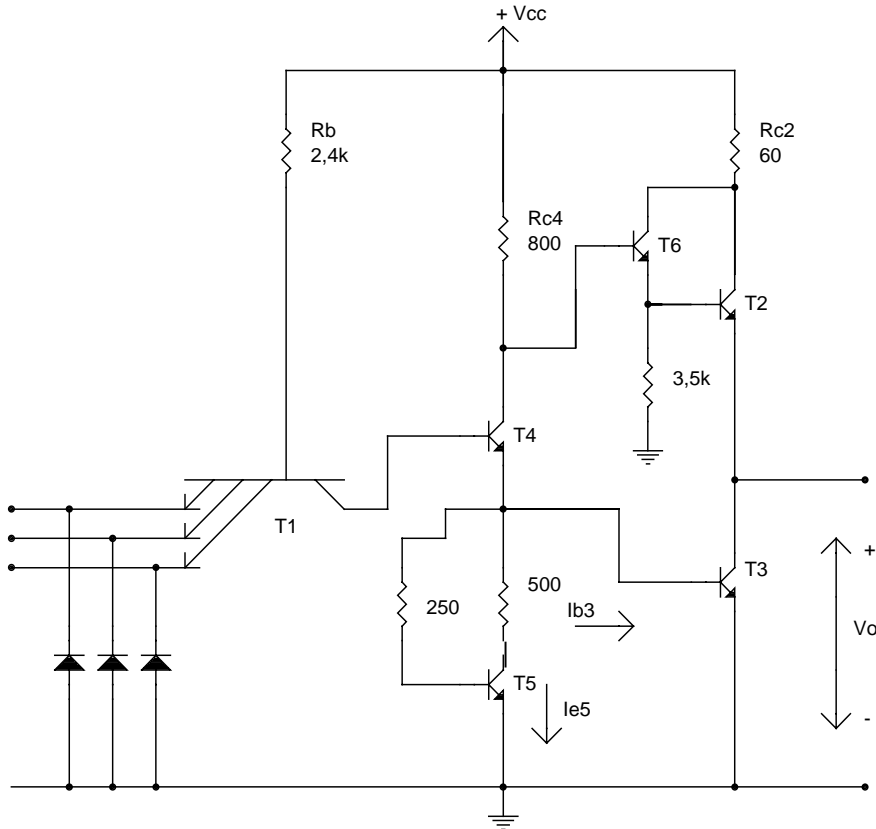


Fig. 13 Porta TTL ad alta velocita'

La velocità della porta può venire aumentata abbassando i valori delle resistenze. Quando però è essenziale la velocità di funzionamento, nella porta vengono introdotte anche altre modifiche. In fig. 13 è illustrata una tipica porta TTL ad alta velocità. Si può notare che R_b è stata ridotta a $2,4k\Omega$, R_c a 800Ω , R_e a 60Ω . Possiamo notare altre tre modifiche: (1) tutti gli ingressi sono collegati a massa mediante diodi; (2) il resistore di emettitore di T4 è stato sostituito da un circuito formato da un transistor T5 e da due resistenze; (3) il collegamento fra il collettore di T4 e la base di T2 non è più diretto, come in fig. 4, ma è realizzato mediante un inseguitore di emettitore

costituito da T6 e dal resistore di emettitore da $3,5 k\Omega$ e formante con T2 un amplificatore Darlington. Consideriamo queste modifiche una alla volta.

I diodi di ingresso.

I diodi di ingresso sono presenti in tutte le porte TTL, ad eccezione di quelle più lente. Essi, agendo da diodi fissatori, sopprimono le oscillazioni prodotte dalle rapide transizioni di tensione che si verificano nei sistemi TTL. Si supponga, ad esempio, che la tensione di uscita di una porta TTL passi rapidamente dal livello 1 al livello 0. Questo segnale si propaga nel conduttore che collega la porta in questione alla

porta da pilotare. Se il conduttore, che si comporta come una linea di trasmissione, non è terminato in maniera adatta, si generano oscillazioni del tipo illustrato in fig. 14. I diodi di ingresso tagliano il picco negativo a circa - 0,75V ed assorbono dal segnale applicato energia sufficiente ad impedire il formarsi di un successivo picco positivo, che potrebbe riportare la porta pilotata in on. In fig. 14b è illustrato l'effetto dei diodi d'ingresso sulle oscillazioni.

Il circuito Darlington.

Consideriamo ora la funzione di T6 nel circuito di fig. 13. Per prima cosa si può notare che il diodo D del circuito di fig. 4 non è più utilizzato in fig. 13. Ricordiamo che il diodo era stato inserito per assicurare l'interdizione di T2 quando T4 e T3 sono saturi. Nel circuito di fig. 13 la tensione sulla giunzione base-emettitore di T6 esplica la stessa funzione della tensione sul diodo, per cui T2 rimane interdetto quando T3 conduce. Tornando per un momento alla fig. 4, ricordiamo che quando T2 si trova nella regione attiva, la resistenza di uscita vista dai terminali d'uscita della porta vale circa R_{C4} / h_{FE} : il suo valore è stato calcolato ed è pari a 28 Ω . In fig. 13 la resistenza d'uscita viene calcolata nel seguente modo. Innanzi tutto la resistenza d'uscita, vista guardando nell'emettitore di T6, vale $R_{C4} / h_{FE} = 800 / 50 = 16 \Omega$. Ripetendo il calcolo per T2, si trova che la resistenza d'uscita della porta vale $16 / h_{FE} = 16 / 50 \cong 0,3 \Omega$. In questo calcolo si è trascurata però la resistenza del transistor. In effetti il valore della resistenza d'uscita della porta ottenuto sperimentalmente risulta essere di circa 10 Ω . In ogni caso la porta di fig. 13 presenta l'importante caratteristica di avere, quando T6 e T2 conducono, una resistenza d'uscita notevolmente inferiore a quella del circuito di fig. 4. (I transistori T6 e T2 costituiscono, come si riconosce immediatamente, una configurazione Darlington, che ha proprio la caratteristica di presentare una resistenza d'uscita bassa). Questa minore impedenza d'uscita comporta un aumento della velocità di funzionamento della porta. Infatti con una resistenza d'uscita più bassa, una qualsiasi capacità presente all'uscita della porta viene caricata in un tempo più breve. Queste considerazioni sulla resistenza d'uscita non sono naturalmente valide quando i transistori T6 e T2 sono interdetti o saturi. Tuttavia, per un considerevole tratto della regione di transizione da un livello logico all'altro, entrambi i transistori vengono a trovarsi nella zona attiva, zona in cui risulta pienamente valido il discorso precedente. Per quanto riguarda questa configurazione, è interessante notare ancora che, mentre in fig. 4 il transistor T2 va in saturazione quando l'uscita della porta passa al livello logico 1, nel circuito di fig. 13 ciò non si verifica. In un circuito Darlington solo il transistor d'ingresso (T6 in fig. 13) può venire saturato, ma non il transistor d'uscita (T2). Infatti sia quando T6 è saturo sia quando si trova in regione attiva, V_{CE6} è sempre positiva. Poiché $V_{CB2} = V_{CE6}$, la giunzione base-collettore di T2 non può mai trovarsi polarizzata direttamente. Quindi T2 non può essere mai saturo.

Il pull-down attivo.

In fig. 4 il resistore di emettitore R_e fornisce il collegamento a massa della base del transistor d'uscita T3. R_e viene così ad essere il resistore di pull-down per la base di T3, cioè il resistore che "tira giù" a massa la base di T3 quando T4 è interdetto. Il termine è analogo all'espressione pull-up usata per il resistore che collega il collettore alla tensione di alimentazione. Proseguendo allora nell'analogia, il circuito di cui fa parte T5 di fig. 13 viene indicato con il termine pull-down attivo. Analizziamo ora i vantaggi che derivano dall'uso di tale circuito. In fig. 15 viene confrontata la caratteristica tensione-corrente di una resistenza da 600 Ω con quella del pull-down attivo.

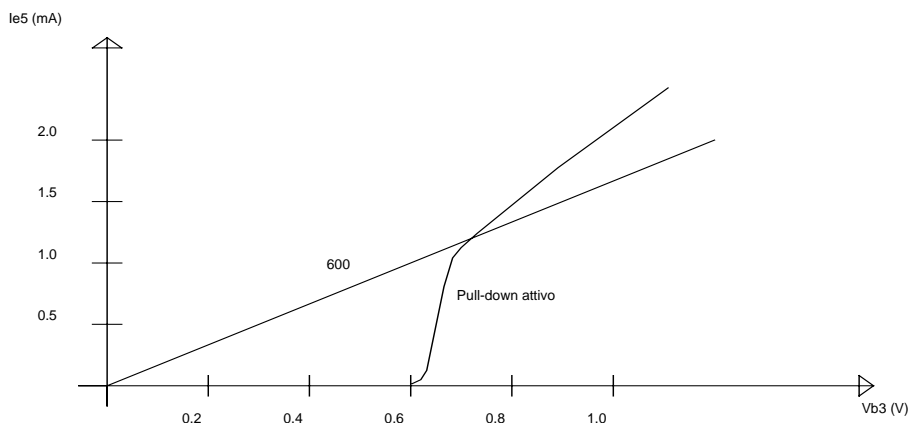


Fig. 15 Effetti del pull-down attivo

Supponiamo ora che il transistor T_3 debba essere portato in conduzione. Diventerà on quando la tensione di base supererà $0,65V$ ed entrerà in saturazione quando la tensione di base raggiungerà $0,75V$. Dalle fig. 13 e 15 notiamo che in questo intervallo di tensioni il pull-down attivo sottrae alla base di T_3 meno

corrente che non il resistore da 600Ω . Il transistor T_5 si comporta così come un resistore di valore superiore a 600Ω . Si ha quindi un primo vantaggio consistente nel fatto che T_3 commuta in conduzione più rapidamente. Esaminiamo ora un secondo vantaggio. Quando T_3 conduce ed il fan-out è basso, la corrente di base di T_3 è notevolmente superiore a quella strettamente necessaria per saturare il transistor stesso. Questa eccessiva corrente di base fa aumentare il tempo di immagazzinamento e ritarda la commutazione all'interdizione del transistor. Può accadere anche che T_3 venga saturato così fortemente che la sua tensione base-emettitore superi $0,8V$. In questo caso, come si vede dalla fig. 15, il pull-down attivo sottrae alla base più corrente di quanto non farebbe il pull-down passivo. Il pull-down attivo si comporta perciò come un resistore di valore inferiore a 600Ω . In questo modo l'eccesso della corrente di base viene, almeno parzialmente, eliminato. prendendo in considerazione la commutazione in interdizione di T_3 , si potrebbe pensare però che, una volta che la tensione della base è scesa al di sotto di $0,8 V$, il pull-down attivo si riveli uno svantaggio, dal momento che sembra sottrarre alla base di T_3 meno corrente che non il resistore da 600Ω . In realtà però le cose non stanno proprio così. Dobbiamo infatti tenere presente che la caratteristica del pull-down attivo di fig. 15 è valida solo in condizioni statiche. In effetti quando viene la commutazione in interdizione, il pull-down attivo continua ad assorbire per alcuni nanosecondi l'elevata corrente di cui si è detto, finché la distribuzione della carica in T_5 non si è adattata al cambiamento. Il pull-down attivo è particolarmente vantaggioso quando la gamma delle temperature di lavoro è piuttosto estesa. In una porta TTL sprovvista di pull-down attivo, il tempo necessario per interdire T_3 aumenta all'aumentare della temperatura, poiché T_3 viene pilotato sempre più fortemente in saturazione. Le cause che provocano questo fatto sono due: (1) poiché le tensioni delle giunzioni diminuiscono al crescere della temperatura, un aumento di quest'ultima provoca un aumento della corrente che entra nella base di T_3 ; (2) il guadagno di corrente di un transistor aumenta all'aumentare della temperatura, quindi al crescere della temperatura un transistor viene a saturarsi sempre più fortemente, pur rimanendo la sua corrente di base fissa. Ad una temperatura più elevata, però, il pull-down di fig. 13 assorbe una corrente maggiore, riuscendo a mantenere così I_{B3} sufficientemente costante. Questa compensazione si verifica poiché un aumento della temperatura abbassa V_{BE5} , aumentando così I_{B5} e I_{C5} .

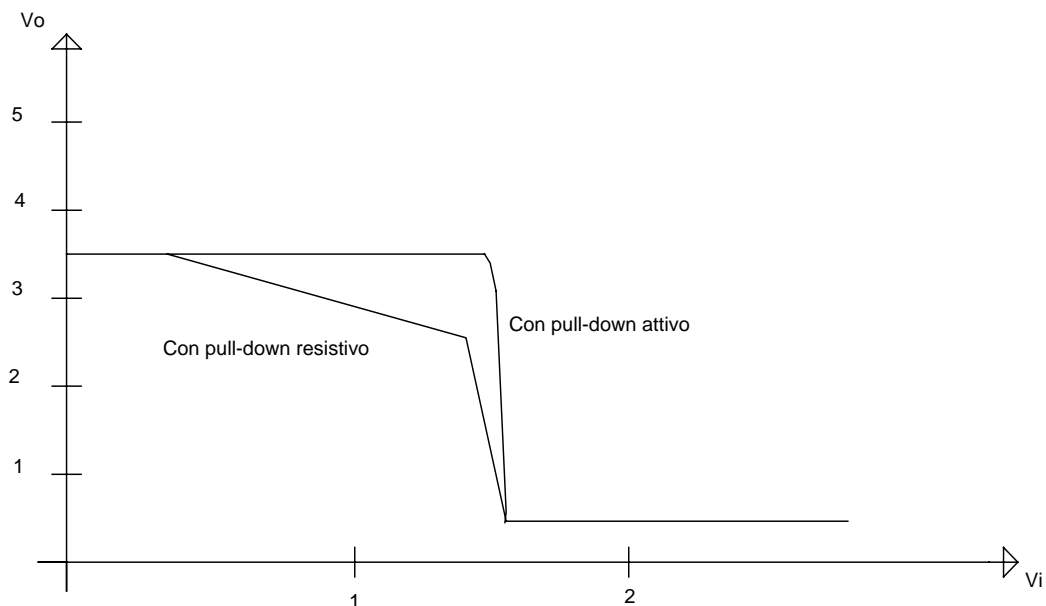


Fig. 16 Confronto fra le caratteristiche di trasferimento di porte TTL: con resistore di pull-down attivo e con resistore di pull-down resistivo

Un ultimo vantaggio del pull-down attivo è costituito dalla sua influenza sulla caratteristica ingresso-uscita dalla porta TTL. In fig. 16 sono poste a confronto le caratteristiche di porte con pull-down attivo e con pull-down resistivo. Il diagramma relativo al pull-down resistivo mostra una zona (tra *a* e *b*) in cui la pendenza, presenta un valore pari al rapporto fra il resistore di collettore ed il resistore di emettitore di T4. In questa zona T4 si trova nella sua regione attiva e presenta guadagno. Il punto *a* è il punto in cui inizia a condurre T4, mentre *b* è il punto in cui inizia a condurre T3. Nel circuito di fig. 13, finchè T3 non inizia a condurre, il pull-down attivo non consente il passaggio della corrente di emettitore di T4. Così T4 e T3 iniziano a condurre simultaneamente e la zona *a-b* scompare dalla caratteristica relativa al pull-down attivo. La caratteristica presenta così un salto tra i due livelli logici molto più brusco. Il fatto che la transizione fra i due livelli avvenga per variazioni molto più piccole della tensione di ingresso rappresenta naturalmente un vantaggio per quanto concerne l'immunità al rumore.

TTL Schottky

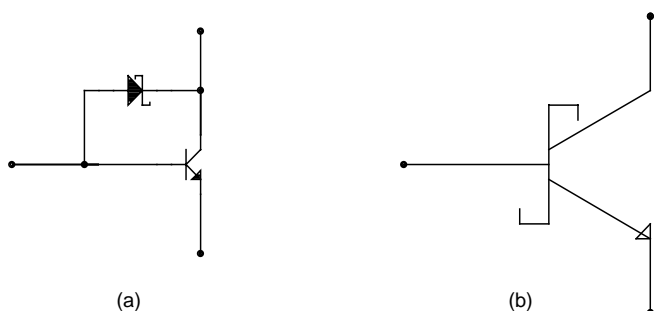


Fig.17 (a) Diodo Schottky collegato fra base e collettore
(b) Transistore Schottky

In tutte le porte TTL ci sono transistori che vengono pilotati in saturazione e diodi che vengono pilotati in conduzione. La causa principale che limita la velocità di funzionamento di queste porte è costituita dal tempo di immagazzinamento associato alla commutazione on-off, durante il quale i transistori devono uscire dalla saturazione. L'impiego dei diodi Schottky riduce il tempo di commutazione in interdizione a valori molto più bassi. Un transistore in saturazione presenta la giunzione di collettore polarizzata direttamente con una tensione di circa 0,55 V o più. Il transistore può perciò essere

mantenuto fuori dalla saturazione mediante un diodo fissatore che impedisca alla giunzione di collettore di venire adeguatamente polarizzata in modo diretto. In fig. 17a è illustrato un transistore

provvisto di diodo fissatore Schottky. Questa combinazione diodo-transistore è nota come transistore Schottky e viene rappresentata generalmente col simbolo di fig. 17b.

E' disponibile una famiglia di porte TTL ad alta velocità il cui schema circuitale è quello di fig. 13, in cui però i diodi di ingresso sono diodi Schottky e tutti i transistori, eccetto T2, sono transistori Schottky. Viene fatta una eccezione per T2 perché questo transistore comunque non viene mai saturato. Questa famiglia di porte Schottky presenta tempi di propagazione di 2ns e tempi di salita e di discesa da 2 a 3 ns. I picchi della corrente di alimentazione vengono anch'essi ridotti, scendendo al 20% circa di quelli delle porte TTL normali. In queste porte l'aumento della velocità di funzionamento è dovuto anche al fatto che la superficie occupata dai transistori Schottky è circa la metà di quella dei transistori della TTL convenzionale.