

Istituto Professionale di Stato
per l'Industria e l'Artigianato
MORETTO
Via Luigi Apollonio, 21
BRESCIA

Anno Scolastico 1993-94

CONVERTITORI A-D, D-A

SVOLTA DA

FERRARI DAVIDE

Classe 5CI TIEE

INTRODUZIONE	3
CONVERTITORI DIGITALI ANALOGICI.....	4
La conversione digitale analogica.	4
Convertitore D-A a resistenze pesate.	7
Convertitori D-A con rete R-2R.	9
Convertitore a rete R-2R invertita.	10
Convertitore a rete R-2R.	12
I parametri di qualità dei convertitori D-A.	14
Gli errori nei DAC.....	15
CONVERTITORI ANALOGICO-DIGITALI.....	18
Campionamento e memorizzazione.....	18
Circuito di sample-hold.	19
Quantificazione.....	20
Teorema di Shannon.....	22
Il tempo di conversione.	23
Tipologie dei convertitori A-D.	24
Convertitori paralleli (flash).	25
Comparatori.....	26
Convertitori half- flash o two step.....	28
Convertitore a gradinata.	29
Convertitori ad approssimazioni successive.....	31
Convertitore potenziometrico a bilanciamento continuo.....	32
Convertitore a rampa lineare.	34
Convertitore a semplice integrazione.	35
Convertitore a doppia integrazione.....	38
I parametri di qualifica dei convertitori A-D.....	41
Risoluzione.....	41
Tempi di conversione.	41
Gli errori.....	41

INTRODUZIONE

Ricordiamo che vengono definiti segnali analogici quei segnali che possono assumere qualsiasi valore all'interno di un certo campo di definizione del segnale, mentre i segnali digitali sono caratterizzati dal poter assumere due soli valori, ben distinti tra di loro, che vengono associati ai due possibili stati di tale segnale. Con lo svilupparsi ed il divenire sempre più complessi dei moderni sistemi di acquisizione e trattamento dati, risulta frequente la necessità di interscambio di segnali tra parti del sistema che trattano le informazioni in forma analogica e parti che le elaborano in forma digitale. Nasce, così, indispensabile la necessità di avere opportuni circuiti che permettano di passare dall'una forma di rappresentazione all'altra: tali particolari circuiti vengono chiamati *convertitori*.

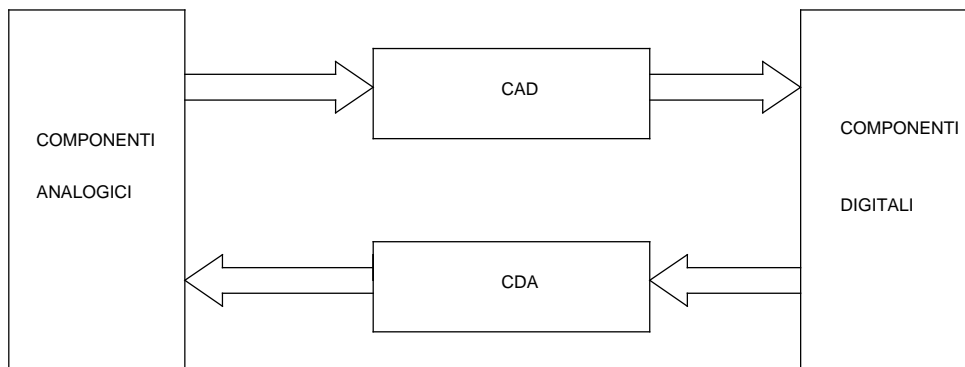


Fig. 1 - Schema di principio per l'utilizzo di convertitori.

In fig. 1 è riportato lo schema del tutto generale in cui è evidenziata la funzione di interfaccia dei circuiti convertitori tra i vari blocchi di uno stesso sistema, accorpati per semplicità nella

figura nelle due possibili classi di appartenenza, analogica e digitale: i convertitori digitali analogico (CDA) accettano all'ingresso un'informazione in codice digitale e presentano in uscita un segnale in forma analogica; i convertitori analogico digitale (CAD) accettano all'ingresso un segnale analogico e presentano all'uscita un'informazione in codice digitale. Lo schema è identicamente valido se, invece di parti parliamo di sistemi distinti allocati a piccola o a grande distanza. In quest'ultimo caso notiamo, per inciso, che la trasmissione di segnali digitali è vantaggiosa rispetto quella di segnali analogici, essendo caratterizzata, per la natura stessa del segnale digitale, da più forte immunità ai disturbi di linea e da più facili controlli di errore, per esempio di parità, o disparità. Nei convertitori l'informazione digitale viene, generalmente, trattata in forma parallelo cioè tutti i bit della parola allo stesso tempo si presentano su linee distinte e vengono elaborati congiuntamente. Oggi di uso vastissimo, i convertitori furono inizialmente sviluppati per l'utilizzo di sistemi di calcolo scientifico, trovando largo uso dell'accoppiamento di parti analogiche e digitali di calcolatori ibridi.

Gli esempi di applicazione possono essere innumerevoli e, per tutti, ne valga uno per ciascuno tipo di convertitore. Pensiamo al settore dei calcolatori di processo: complesse procedure di produzione industriale vengono automatizzate tramite il controllo continuo, da parte del calcolatore, dei diversi parametri critici del processo in esame; è indispensabile l'uso di sensori, o trasduttori che da un lato campionano, cioè leggono ad intervalli prefissati, il valore della variabile fisica in osservazione e dall'altro emettono un segnale elettrico analogico corrispondente al valore letto. Per introdurre tale segnale analogico nella CPU è indispensabile l'uso di un CAD. Dopo una qualsiasi elaborazione il dato, all'uscita del CPU o nella memoria, è presente in forma digitale: supponendo di volerlo visualizzare per esempio su un CRT, in forma alfa numerica o grafica, è indispensabile l'uso di un CDA per il corretto pilotaggio del pennello elettronico del display.

Nel seguito, trattiamo per primi i CDA perché più semplici e perché, in molti tipi di CAD, è presente un CDA come costituente essenziale della loro struttura.

CONVERTITORI DIGITALI ANALOGICI.

I convertitori Digitali Analogici (DA o DAC) assolvono al compito di trasformare parole digitali di n bit, in tensioni di ampiezza proporzionale del valore del codice espresso mediante le parole medesime. Poiché le parole binarie d'ingresso rappresentano una successione di codici finiti, la tensione che esce da un DAC non può essere continua nel tempo, ma è formata da tanti livelli quanto sono i codici convertiti.

Questo fa sì che i dispositivi cui viene inviato il segnale analogico prodotto da un DAC, debbano esercitare un'azione filtrante di tipo passa basso (integratrice).

Il criterio di funzionamento di un DAC è semplice: è sufficiente infatti disporre di una successione di tante tensioni quanti sono i codici convertibili, ottenute ad esempio mediante un partitore a resistenze pesate (cioè il valore proporzionale al codice implicito nella parola binaria).

La conversione consiste nell'invio verso l'uscita del convertitore, di quella tra le tensioni che corrisponde al codice applicato all'ingresso.

In realtà i DAC, pur essendo basati sul concetto espresso sopra, sono apparati assai complessi a causa di esigenza di precisione cui debbono soddisfare i diversi livelli di tensione, indipendentemente dal valore delle tensioni medesime.

Nel seguito si analizza in modo più approfondito il principio di funzionamento, poi si definiscono i parametri fondamentali che qualificano questi dispositivi, al fine di facilitare la valutazione delle caratteristiche contenute nei manuali dei costruttori.

La conversione digitale analogica.

E' possibile individuare il metodo di conversione digitale analogica, riferendosi alla relazione fondamentale dei sistemi di numerazione, espressa per la base binaria:

$$N = C_{n-1} 2^{n-1} + C_{n-2} 2^{n-2} + \dots + C_1 2^1 + C_0 2^0 = \sum_{i=0}^{n-1} C_i \cdot 2^i$$

ove:

N = numero di grandezze numerabili con un codice a base binaria;

C_i = cifre binarie, che possono assumere il valore 0 oppure 1;

n = numero di bit che costituiscono la parola binaria.

Esempio:

con la parola binaria 1101 che, essendo composta da 4 bit, ha $n = 4$, è possibile numerare:

$$N = 1 \cdot 2^3 + 1 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0 = 13$$

grandezze.

L'equazione precedente resta valida se si moltiplicano ambo i membri per uno stesso valore V , ovvero:

$$V \cdot N = V \cdot \sum_{i=0}^{n-1} C_i \cdot 2^i$$

Se si dispone di un codice binario puro e si desidera ottenere una tensione proporzionale al numero (di unità) espresso dal codice, è pertanto sufficiente realizzare un sistema del tipo riportato in fig. 2a, nel quale il codici binari, moltiplicati per la potenza di 2 corrispondente al loro peso, vengono sommati tra loro ed il risultato viene a sua volta moltiplicato per la costante V che, nella pratica, può essere una tensione esterna; in tal modo si avrà all'uscita una tensione V_u di ampiezza proporzionale alla tensione applicata V ed al codice binario (multipling conversion).

Esprimendo con il precedente criterio la tensione d'uscita del blocco di fig. 2a, risulta:

$$Vu = V \cdot N = V \cdot (C_{n-1} \cdot 2^{n-1} + C_{n-2} \cdot 2^{n-2} + \dots + C_1 \cdot 2^1 + C_0 \cdot 2^0)$$

raccogliendo la potenza più elevata della base, ovvero 2^n , si ha:

$$Vu = V \cdot 2^n \cdot (C_{n-1} \cdot \frac{1}{2^1} + C_{n-2} \cdot \frac{1}{2^2} + \dots + C_1 \cdot \frac{1}{2^{n-1}} + C_0 \cdot \frac{1}{2^n}) \quad (1)$$

Esempio:

con riferimento al precedente codice binario 1 1 0 1, se si realizza una configurazione del tipo di fig. 2a, con $V = 1V$, la (1) fornisce:

$$Vu = 1 \cdot 2^4 \cdot (1 \cdot \frac{1}{2} + 1 \cdot \frac{1}{4} + 0 \cdot \frac{1}{8} + 1 \cdot \frac{1}{16}) = 13V$$

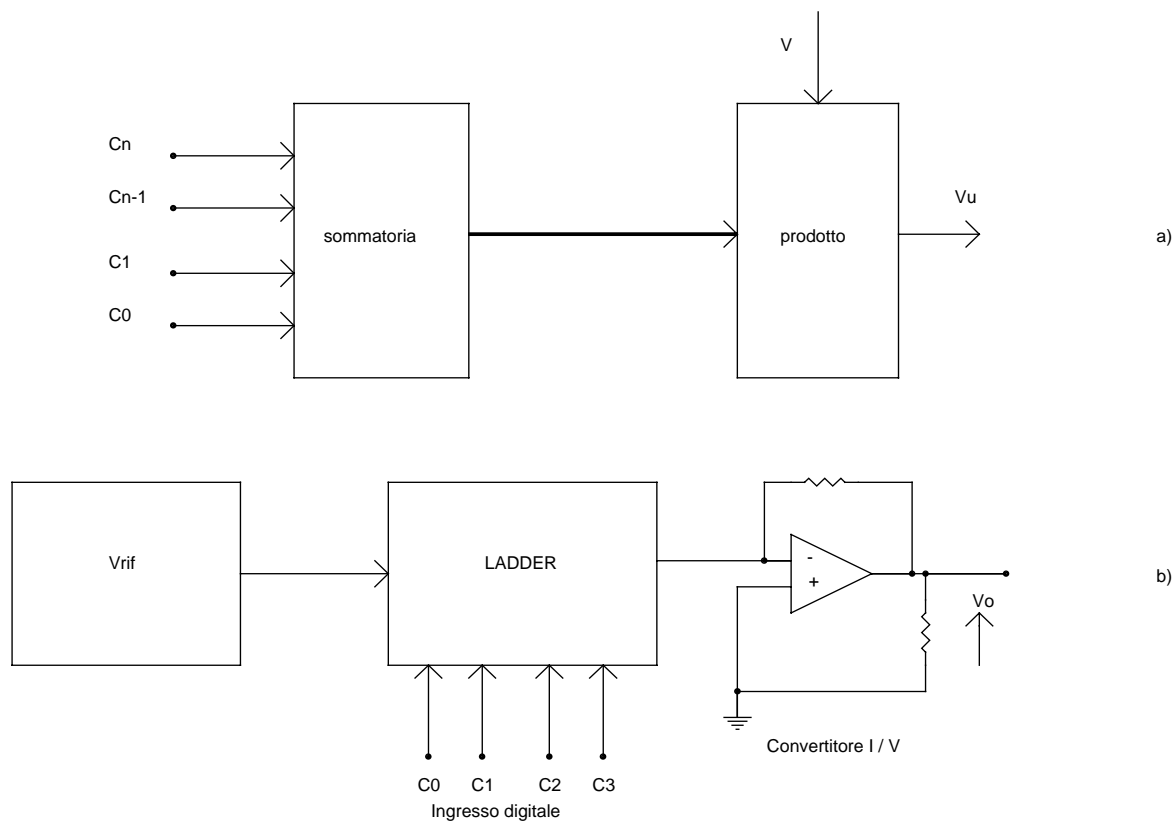


Fig. 2 a) Schema a blocchi della conversione digitale analogica;
 b) Schema a blocchi di principio del convertitore D-A.

Se ne conclude che, se la tensione V applicata ha valore $1 V$, la tensione d'uscita ha un valore, in volt, pari al numero espresso dal codice binario.

La relazione (1) fornisce l'equazione base che definisce il funzionamento del DAC e precisa la struttura generica di figura a.

in effetti, secondo la (1), è sufficiente che in un circuito avvenga la combinazione lineare.

$$V_r \cdot \left(\sum_{i=1}^n \frac{1}{2^i} \cdot C_{n-1} \right) \quad (2)$$

con:

$$V_r = 2^n [V] \quad \text{tensione di riferimento}$$

per ottenere, all'uscita, una tensione eguale, in volt, al valore binario del codice applicato all'ingresso. I risultati del tutto generali, ottenuti con le precedenti considerazioni, permettono di definire due dei parametri fondamentali del DAC:

- tensione di fondo scala: in base alla precedente conclusione, il valore V_r coincide con la tensione di fondo scala ottenibile dal convertitore:

$$V_r = V_{fs}$$

Se poi si desidera che la tensione d'uscita risulti eguale (in volt) al numero di unità espresso dal codice binario d'ingresso, si pone:

$$V_r = V_{fs} = 2^n [V]$$

- Risoluzione: dalla (1) è possibile anche ricavare, in funzione della tensione di riferimento V_r e del numero di bit n del codice, la risoluzione del convertitore; in un convertitore D/A infatti, la risoluzione rappresenta il peso in volt del bit meno significativo (LSB), ovvero del bit indicato con C_0 .

Si può ottenere il valore della risoluzione, utilizzando la (1) nell'ipotesi che soltanto il bit di peso C_0 sia al livello 1; risulta:

$$R = V_r \cdot \frac{1}{2^n} [V]$$

Esempio:

si calcola la risoluzione ottenibile da un convertitore con parola d'ingresso $n = 8$ bit e tensione di fondo scala $V_{fs} = 5$ V.

Risoluzione:

la tensione di riferimento da utilizzare per ottenere il fondo scala desiderato, coincide con il fondo scala medesimo, pertanto:

$$V_r = V_{fs} = 5V.$$

Dalla espressione della risoluzione si ricava:

$$R = V_r \cdot \frac{1}{2^8} = \frac{5}{256} \approx 0,02V.$$

Osservazioni

a) Dagli sviluppi matematici precedenti, si trae uno schema generale per il convertitore D-A.

Tale schema consiste essenzialmente di tre dispositivi (fig. 2b):

- un generatore di tensione di riferimento V_r ;

- un sistema in cui si realizza la combinazione lineare indicata dalla relazione (2).

Tale sistema è in genere un circuito passivo formato da una rete di resistenze (ladder), che come tale effettua la precedente combinazione lineare in termini di corrente;

- un convertitore corrente-tensione (amplificatore in connessione operazionale, che fornisce una tensione d'uscita proporzionale alla corrente ricavata dal ladder e come tale proporzionale al codice d'ingresso, secondo quanto espresso dalla 1).

Lo schema di principio di un convertitore D-A che rispetta la precedente struttura, è riportato in fig. 2b.

b) Le considerazioni matematiche effettuate per giungere allo schema di fig. 2b, sono riferite a un codice d'ingresso puro; dunque la relazione (1) e (2) hanno validità nel caso che la parola d'ingresso al DAC sia in binario puro ed anche gli sviluppi che seguono verranno effettuati in tali condizioni.

E' immediato comprendere come, con considerazioni analoghe sia possibile ottenere relazioni equivalenti per i casi di codifiche diverse.

L'utilizzo di codici non binari puri produce, rispetto ai casi che verranno presi in esame, la modifica della struttura del ladder, al fine di adeguarla alle relazioni corrispondenti alla (1).

Convertitore D-A a resistenze pesate.

Il convertitore a resistenze pesate è realizzato nel rispetto del precedente paragrafo, ovvero risulta formato da una rete di resistenze (ladder), che effettua la combinazione lineare definita dalla relazione (1) e da un convertitore corrente-tensione.

Nello schema di principio del convertitore a resistenze pesate, riportato in fig. 3, il ladder è costituito da una rete di resistenze di peso proporzionale alle potenze, crescenti di due ed il convertitore corrente-tensione, è realizzato per mezzo di un amplificatore operazionale OVA in connessione invertente.

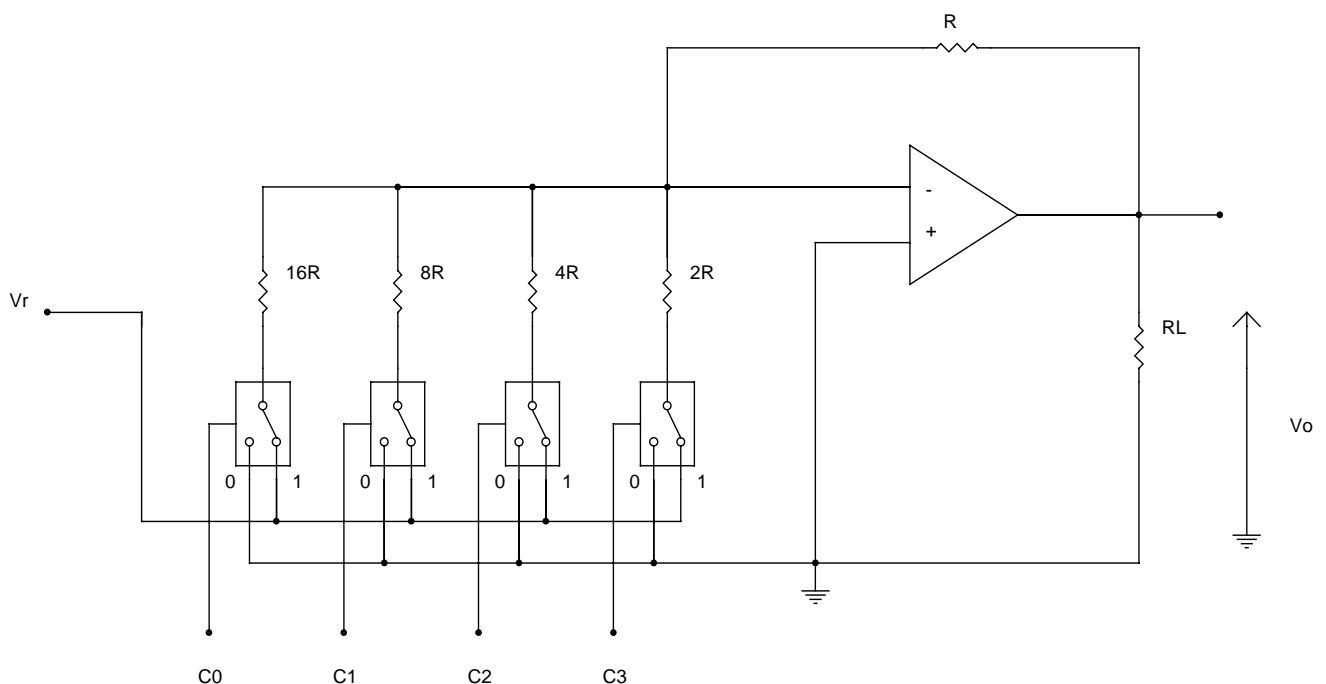


Fig. 3 Convertitore a resistenze pesate.

Con riferimento allo schema di fig. 3, per l'ingresso dei codici binari che rappresentano la parola da convertire, si sono indicati dei deviatori che collegano la resistenza corrispondente al codice:

- verso massa se il bit è a livello 0;
- verso V_r se il bit è a livello uno.

In pratica ciascuno di tali deviatori è realizzato mediante una copia di porte di trasmissione.

Osservazioni.

Il convertitore a resistenze pesate presenta alcuni inconvenienti, che ne limitano l'impiego; questi inconvenienti derivano essenzialmente dalla necessità di utilizzare, nel ladder, tante resistenze di valore diverso, quanti sono i bit della parola da convertire.

Le resistenze sono multiple di un valore base R, secondo le potenze successive di due e sono tante, quanto è il numero di bit della parola.

Ne segue che, al crescere del numero di bit, il valore delle resistenze cresce rapidamente; questo rende necessaria l'integrazione di resistenze diverse tra di loro e, in particolare, quelle corrispondenti ai codici più alti, aventi anche valori assai elevati.

Le tecniche di integrazione non consentono facilmente di garantire lo stesso livello di precisione con valori di resistenze molto diverse tra di loro.

Si osservi inoltre che anche il valore-base R non può essere tenuto troppo basso, in quanto la resistenza r_{on} delle porte di trasmissione è bassa ma non trascurabile ed ha una forte dispersione: per poter trascurare la dispersione delle resistenze delle porte, occorre che le resistenze del ladder siano comunque assai più elevate di r_{on} .

A titolo di esempio, in tabella è riportata la successione dei valori di resistenze per parole sino ad 8 bit, avendo assunto come valore-base $R = 5k\Omega$.

n bit	resistenza	Valore k(ohm)
0	$2^0 \cdot R = R$	5
1	$2^1 \cdot R = 2R$	10
2	$2^2 \cdot R = 4R$	20
3	$2^3 \cdot R = 8R$	40
4	$2^4 \cdot R = 16R$	80
5	$2^5 \cdot R = 32R$	160
6	$2^6 \cdot R = 64R$	320
7	$2^7 \cdot R = 128R$	640
8	$2^8 \cdot R = 256R$	1280

2^0 rappresenta 2 elevato alla zero, così sono anche le altre resistenze

Esempio

Si determina il valore di tensione ottenibile all'uscita del convertitore di fig. 3, qualora all'ingresso sia applicata la parola binaria 1011, per avere una tensione di fondo scala $V_{fs} = 10$ V.

La corrispondenza tra i bit della parola d'ingresso e i deviatori di figura, è:

C3	C2	C1	Co
1	0	1	1

Risoluzione.

Si consideri il circuito di fig. 4, nel quale il ladder è stato disegnato considerando la condizione imposta dal codice applicato all'ingresso.

Verso il morsetto invertente dell'amplificatore operazionale (a potenziale di massa virtuale), si dirige una corrente I_s , che risulta dalla somma delle correnti introdotte da ciascun degli ingressi allo stato uno, mentre la resistenza corrispondente all'ingresso zero è connessa a massa.

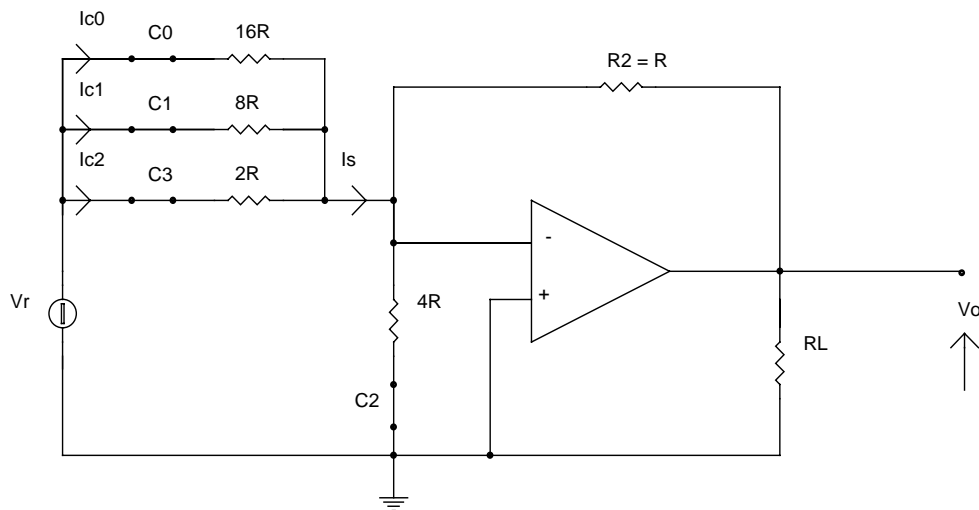


Fig. 4 Circuito equivalente del DAC, avente all'ingresso il codice binario 1011

Se si osserva che tutte le resistenze di peso diverso convergono al morsetto invertente, che è a potenziale di massa virtuale, si trae che la corrente circolante nella generica resistenza relativa al bit di posizione n , quando il bit stesso è a uno vale:

$$I_n = \frac{V_r}{R_n}$$

essendo R_n la resistenza pesata corrispondente al bit ennesimo.

Nella resistenza corrispondente ai bit a "0", come è già stato fatto osservare, non circola invece corrente.

Se ne conclude che la corrente I_s risulta dalla sommatoria delle correnti circolanti nelle resistenze corrispondenti ai bit a "1".

Nel caso specifico della parola esaminata nell'esempio, risulta per tanto:

$$I_s = I_{c3} + I_{c1} + I_{c0} = V_r \cdot \left(\frac{1}{2R} + \frac{1}{8R} + \frac{1}{16R} \right)$$

$$I_s = V_r \cdot \frac{1}{R} \cdot \left(\frac{1}{2} + \frac{1}{8} + \frac{1}{16} \right)$$

Un convertitore corrente tensione di tipo invertente come quello utilizzato in fig. 3, realizza il legame

$$V_u = -I_s \cdot R_2$$

nel caso specifico, $R_2 \equiv R$; se ne conclude che:

$$V_u = -V_r \cdot R \cdot \frac{1}{R} \cdot \left(\frac{1}{2} + \frac{1}{8} + \frac{1}{16} \right) = -V_r \cdot \left(\frac{1}{2} + \frac{1}{8} + \frac{1}{16} \right)$$

cioè:

$$|V_u| = 10 \cdot \left(\frac{1}{2} + \frac{1}{8} + \frac{1}{16} \right) = 6,875V$$

Osservazioni:

a) Il convertitore corrente tensione è invertente, pertanto si è indicato il modulo di V_u come risultato dall'applicazione della (1) ma, nel caso specifico, V_u ha segno negativo;

b) E' possibile pervenire al medesimo risultato mediante l'applicazione diretta della (1); con il codice dato, risulta infatti:

$$|V_u| = 10 \cdot \left(1 \cdot \frac{1}{2} + 0 \cdot \frac{1}{4} + 1 \cdot \frac{1}{8} + 1 \cdot \frac{1}{16} \right) = 6,875V$$

Convertitori D-A con rete R-2R.

I convertitori a resistenze pesate esaminate al paragrafo precedente trovano scarse applicazioni di tipo commerciale, a causa della citata difficoltà nella realizzazione di resistenze di peso diverso ed ugual precisione in forma integrata.

I convertitori più frequentemente utilizzati nella pratica, rientrano nello schema di principio di fig. 2b (multiplying conversion), ma il ladder è formato da resistenze di due soli possibili valori, precisamente:

R e 2R

Con tali soluzioni, sono possibili due tipi di convertitori, definiti rispettivamente:

- a rete R-2R invertita;
- a rete R-2R.

Convertitore a rete R-2R invertita.

Costituisce attualmente la soluzione di maggior uso, in quanto elimina molti limiti delle altre.

In fig. 4 è riportato un convertitore a rete R-2R invertita, con parola di tre bit.

Come per i convertitori esaminati nel precedente paragrafo, il ladder è una rete che realizza una somma di correnti di entità proporzionale al peso dei singoli bit; i vantaggi specifici di questa rete sono:

- le resistenze hanno solo due valori R e 2R;
- la corrente circolante nelle singole resistenze della rete rimane pressoché costante, qualunque sia la parola binaria introdotta.

Il primo assesto si verifica immediatamente dalla figura; il secondo può essere giustificato osservando che i derivatori che introducono i singoli bit della parola, scambiano al linea attraverso cui la corrente ad assi relativa va verso massa (o verso un punto a potenziale assai prossimo a massa, cioè la massa virtuale), senza modificare i componenti circuitali che tale corrente attraversa; pertanto la corrente stessa rimane pressoché costante.

In effetti, quando il bit generico della parola è allo stato zero la corrente circolante nella resistenza corrispondente va verso massa; quando il bit generico è allo stato "1", la corrente va verso massa virtuale dell'amplificatore operazionale che realizza la conversione corrente tensione: poiché tra massa e massa virtuale la ddp è pressoché trascurabile, si può ritenere che la corrente nei due casi non subisca modifiche di rilievo.

Si osservi poi che, sulla base delle precedenti considerazioni, da ciascuno dei nodi $N_0 : N_n$ si vede, verso massa, una resistenza di valore R, indipendentemente dallo stato del bit introdotto; tale resistenza risulta dal parallelo di due resistenze uguali, di valore 2R. Se ne conclude che, in ciascun dei nodi suddetti, la corrente subisce un dimezzamento.

Coerentemente con quanto detto, la corrente uscente dal generatore di riferimento V_r vale:

$$I = \frac{V_r}{R}$$

e le due correnti uscenti dal generico nodo N_i , se n è il numero complessivo dei nodi, valgono (ciascuno):

$$I_i = \frac{I}{2^{n-i}}$$

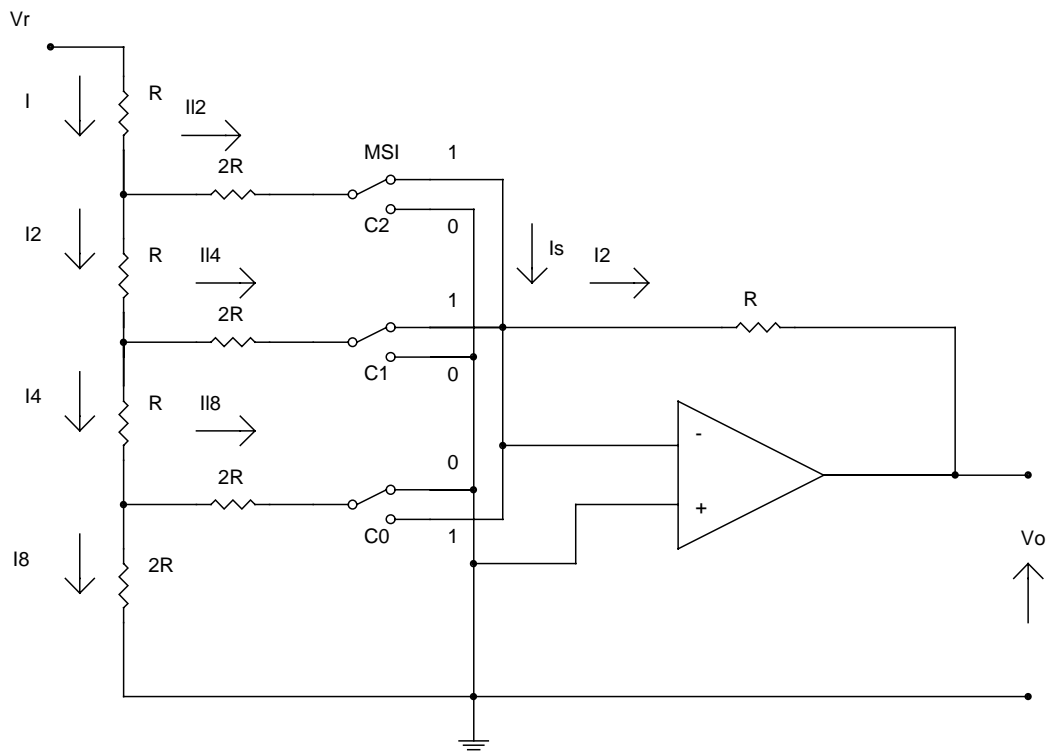


Fig. 5 Convertitore a rete R-2R invertita a tre bit.

Al punto di massa virtuale, giunge la corrente I_s , che risulta dalla somma delle correnti circolanti nei rami con il bit a "1", mentre quelle circolanti nei rami con bit a "0" si chiudono a massa. Con riferimento alla parola applicata nello schema di fig. 5, cioè:

C2	C1	C0
1	1	0

risulta quindi:

$$I_s = I_{N2} + I_{N1} = \frac{I}{2} + \frac{I}{4}$$

peraltro, $I = V_r / R$; ne segue:

$$I_s = \frac{V_r}{R} \cdot \left(\frac{1}{2} + \frac{1}{4} \right)$$

Ricordando la consueta relazione del convertitore corrente tensione: $V_u = -I_s R_2$, con $R_2 \equiv R$, si ottiene:

$$V_u = -V_r \cdot \left(\frac{1}{2} + \frac{1}{4} \right)$$

Confrontando questo risultato con quello ottenibile dalla applicazione diretta della (1), si comprende la correttezza del funzionamento del ladder.

Convertitore a rete R-2R.

In fig. 6a è riportato lo schema di un convertitore R-2R, con parola a 4 bit; anche in questo caso, il ladder contiene unicamente resistenze di valore R e 2R.

Si chiarisce il funzionamento mediante un esempio numerico.

Si determini il valore di tensione ottenibile in uscita del convertitore di fig. 6a, quando all'ingresso sia applicata la parola binaria:

C3	C2	C1	C0
0	1	0	1

si desidera una tensione di fondo scala $V_r = V_{fs} = 10V$.

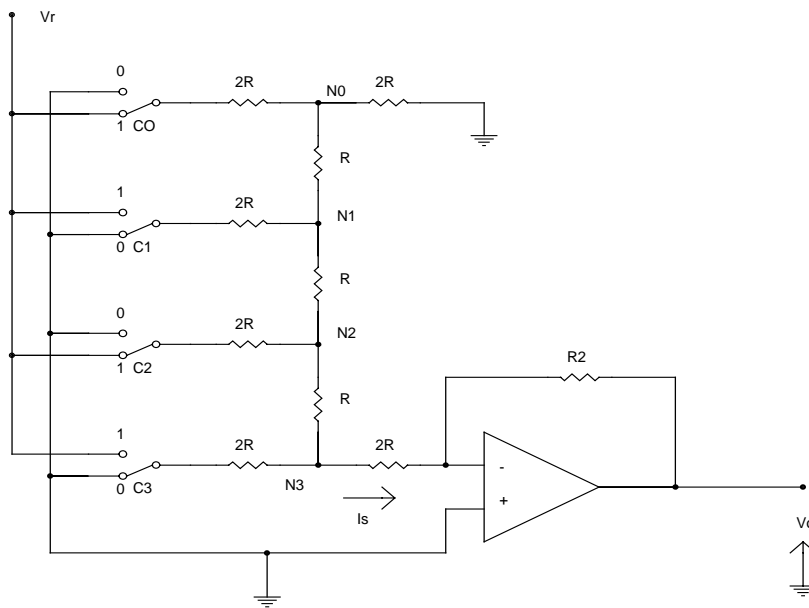


Fig. 6a Convertitore di tipo R-2R.

Risoluzione.

Si vuole giungere alla soluzione utilizzando il principio di sovrapposizione degli effetti, ovvero ricavando la corrente I_s prodotta da un solo deviatore allorché viene posto a "1" mentre tutti gli altri sono posti a zero ed ottenendo poi il risultato corrispondente ad una parola binaria mediante la somma degli effetti prodotti dai suoi bit a "1".

In fig. 6b è riportata la configurazione circuitale ottenuta con C_0 ad "1", mentre tutti gli altri ingressi sono a "0"; per semplicità sono stati eliminati i deviatori, sostituendoli con collegamenti.

Si osservi che da ciascun dei nodi esce, verso il convertitore corrente tensione, una corrente pari alla metà di quella entrante; indicando con I_{NI} la corrente entrante nel nodo generico, si ha pertanto:

$$I_{NI} = \frac{I_{NI-1}}{2}$$

ovvero, nel caso di fig. 6b:

$$I_s = \frac{I_{N3}}{2}; I_{N3} = \frac{I_{N2}}{2}; I_{N2} = \frac{I_{N1}}{2}; I_{N1} = \frac{I_{N0}}{2}$$

In genere, il contributo dato alla corrente I_s dal nodo ennesimo vale:

$$I_s = \frac{I_{N0}}{2^n} \quad (3)$$

si osservi che n esprime la posizione del nodo, valutata a partire dal convertitore, ovvero:

nodo	n
N3	1
N2	2
N1	3
N0	4

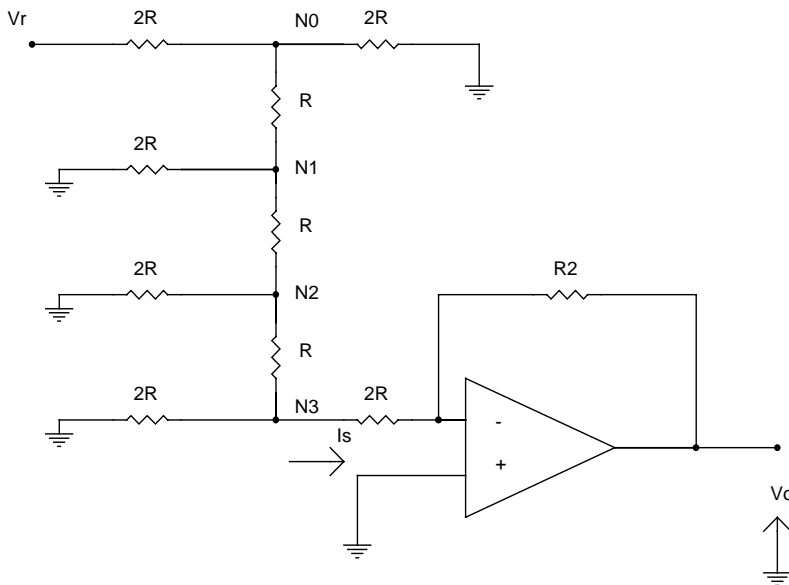


Fig. 6b Convertitori di tipo R-2R

Nello schema in fig. 6b, ogni nodo vede (verso il convertitore), il parallelo di due resistenze di valore $2R$, ovvero una resistenza R ; se ne conclude che:

$$I_{N0} = \frac{V_r}{3R}$$

Applicando la (3), si ricava che, con il solo commutatore C_0 a 1 e gli altri a zero, la corrente I_s risulta:

$$I_s = \frac{V_r}{3} \cdot \frac{1}{2^4}$$

In generale:

$$I_s = \frac{V_r}{3R} \cdot (C_0 \cdot \frac{1}{2^n} + \dots + C_{n-1} \cdot \frac{1}{2})$$

Nel caso della parola binaria data:

$$I_s = \frac{V_r}{3R} \cdot (1 \cdot \frac{1}{2^4} + 0 \cdot \frac{1}{2^3} + 1 \cdot \frac{1}{2^2} + 0 \cdot \frac{1}{2^1}) = \frac{V_r}{3R} \cdot 0,3125$$

Ricordando che nel convertitore corrente-tensione risulta:

$$V_u = -I_s \cdot R_2, \quad R_2 \equiv 3R$$

Si ottiene:

$$|V_u| = 10 \cdot 0,3125 = 3,125V$$

Osservazioni

a) Nei diversi tipi di convertitori visti, si è potuto accertare, attraverso gli esempi numerici, la validità generale della formula (1). In altri termini, la relazione studiata conserva la sua validità, indipendentemente da come viene realizzata la rete resistiva (ladder), che effettua la combinazione lineare che sta alla base dei convertitori D-A.

Questo porta a concludere che qualunque rete che effettui la combinazione lineare nei modi descritti, può essere utilizzata per ottenere un DAC.

Nella pratica, i DAC integrati presentano nella maggior parte dei casi, la soluzione del tipo a rete R-2R invertita.

Questa soluzione risulta assai migliore delle altre, per quanto riguarda la velocità di commutazione.

Le altre reti viste infatti, non si prestano a lavorare a velocità elevate, in quanto alla base del loro funzionamento vi è il passaggio o l'interdizione di corrente attraverso resistenze di valore non trascurabile, il funzione dello stato dei bit del codice e questo, a causa anche delle reattanze distribuite dei circuiti, genera costanti di tempo che si ripercuotono sulla velocità complessiva del convertitore. Nella rete R-2R invertita invece, come è stato fatto rilevare, non si hanno variazioni apprezzabili di corrente, nel passaggio di qualsiasi bit dallo stato "0" allo stato "1": questo riduce notevolmente i tempi di commutazione ed evita anche ritardi relativi nella commutazione dei diversi bit di una stessa parola, che potrebbero dar luogo a impulsi spuri (glitches).

I parametri di qualità dei convertitori D-A.

a) *Risoluzione*: costituisce l'unico parametro dei DAC analizzato fino ad ora; rappresenta il livello di tensione d'uscita, corrispondente al bit meno significativo (LSB) della parola da convertire.

E' legato alla tensione di riferimento, dalla relazione:

$$R = V_r \cdot \frac{1}{2^n} [V] \quad \text{ovvero} \quad R(\%) = \frac{1}{2^n} \cdot 100$$

L'espressione della risoluzione, formulata come sopra, è riferita al valore di V_r che, come si è visto, può essere modificato per esigenza d'impiego del DAC.

I costruttori preferiscono pertanto definire la risoluzione come numero n di bit, fornendo cioè una grandezza che di fatto è legata al valore relativo della risoluzione dalla relazione:

$$n = \lg_2 \cdot \frac{100}{R(\%)}$$

Secondo tale modalità, si riportano in tabella i valori di risoluzione di alcuni componenti commerciali:

	DAC 0800	DAC 0808	DAC 0830	DAC 1000	DAC 1230
n	8 bits	8 bits	8 bits	10 bits	12 bits

b) *Tempo di assestamento (settling time)*: è il tempo che intercorre tra l'applicazione di una parola binaria all'ingresso e la disponibilità, all'uscita, della tensione ad essa corrispondente, con il minimo errore possibile.

Il minimo errore possibile ha in genere valori pari a metà del peso del bit meno significativo.

Per comprendere appieno il significato della definizione, si osservi che un DAC si comporta come un qualsiasi sistema ai cui ingressi vengono applicati dei gradini, corrispondenti ai bit di parola che cambiano di stato nel passaggio dal codice attuale al precedente.

La presenza di componenti reattivi all'interno di un DAC, determina un comportamento dinamico nella presenza ai gradini, che può esaurirsi in modo aperiodico smorzato (esponenziale), oppure periodico smorzato (sinusoide a smorzamento esponenziale D'ampiezza), in funzione dello stato dei poli della funzione di trasferimento.

In tale condizione, il tempo di assestamento, rappresenta l'intervallo di tempo tra l'istante in cui vengono applicati i gradini corrispondenti alla parola d'ingresso e quello in cui l'uscita rimane all'interno della fascia $\varepsilon = 1 / 2$ LSB, che rappresenta il valore accettabile per il sistema. Nella maggior parte dei convertitori commerciali, gli elementi reattivi hanno valori tali da dar luogo a risposte periodiche smorzate.

Questo significa che le costanti di tempo sono tali da determinare poli complessi coniugati a parte reale negativa della f di t del sistema.

E' immediato comprendere che il tempo di assestamento, a parità di DAC, dipende dal numero di bit della parola che cambiando di stato, rispetto alla situazione che avevano prima dell'introduzione della parola stessa; in particolare, il caso pessimo, ovvero il massimo tempo di assestamento, si ha allorché tutti i bit della parola cambiano di stato.

Si riportano in tabella i tempi di assestamento di alcuni componenti commerciali:

	DAC 0800	DAC 0808	DAC 0830	DAC 1000	DAC 1230
Ta	100 nsec	150 nsec	1microsec	500 nsec	1 microsec

c) *Glitch*: è l'insieme delle sovratensioni transitorie che si sovrappongono ai livelli di tensione dei singoli bit della parola da convertire.

Il glitch dipende da due cause:

- i diversi tempi di commutazione delle porte di trasmissione;
- le costanti di tempo del circuito, che danno effetti diversi, in funzioni delle correnti che circolano attraverso le resistenze che, assieme alle capacità parassite, determinano le costanti di tempo medesime.

E' evidente che ogni bit di parola che cambia stato rispetto alla parola precedentemente convertita, contribuisce alla formazione del glitch complessivo, in modo dipendente dalla porta di trasmissione che lo gestisce e dalle parti circuitali che attraversa.

L'unico accorgimento che consente di ridurre l'effetto del glitch, è l'impiego di un circuito di sample-hold all'uscita del convertitore; l'effetto del sample-hold è infatti quello di mantenere stabile per un certo tempo il livello di segnale decodificato.

Poiché il glitch costituisce un transitorio di breve durata, si può ritenere che sia contenuto entro il tempo di assestamento, pertanto è sufficiente che il sample-hold prelevi la tensione allorché è assestata, per ridurre notevolmente gli effetti del glitch.

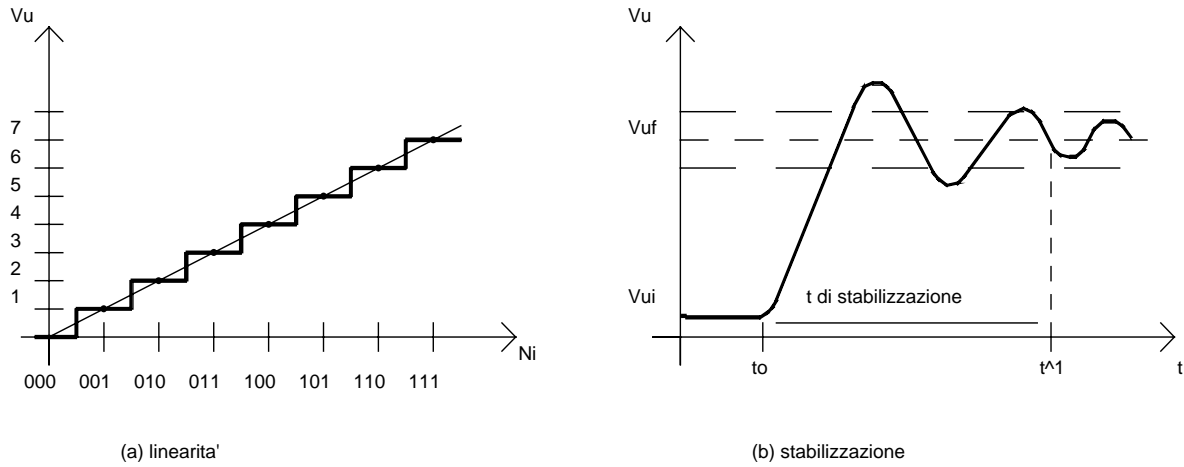
Gli errori nei DAC.

Si esamina l'effetto degli errori nei DAC, unendo la definizione alla rappresentazione grafica sulla caratteristica di trasferimento.

La linearità di un DAC è la conservazione della proporzionalità tra entità della variazione del codice digitale d'ingresso e corrispondente variazione della grandezza di uscita in ogni punto nel campo di conversione. La linearità ideale di un DAC corrisponde ad un insieme di punti, dato che il codice digitale d'ingresso (N_i) assume valori discreti, giacenti su una stessa retta: in fig. 6a è riportato il caso relativo ad un CDA a 3 bit, nell'ipotesi che la grandezza di uscita sia una tensione V_u . In pratica, tale parametro, nei dispositivi disponibili sul mercato, viene specificato come inferiore a $\pm 1/2$ LSB. La linearità di un CDA dipende principalmente dalla precisione e dal grado di variazione con la temperatura dei valori di resistenza della sua rete resistiva.

Il fatto che il valore di linearità non ecceda il valore $\pm 1/2$ LSB è importante per la conservazione della monotonicità del CDA: questa caratteristica indica che al crescere del valore del segnale digitale d'ingresso (N_i), si ha un aumento della grandezza di uscita, mentre al decrescere del valore N_i deve aversi una diminuzione del segnale d'uscita. Supponiamo d'ora in avanti, ed è il caso più comune, che la grandezza d'uscita sia una tensione V_u : se l'errore di linearità fosse superiore a $\pm 1/2$ LSB potrebbe accadere che, detta V_{u1} la tensione convertita relativa al numero digitale N_1 , al numero $N_2 = N_1 + 1$ (incremento di un LSB) corrisponde una tensione $V_{u2} < V_{u1}$, nel caso gli errori fossero di segno

opposto, positivo per V_{u1} e negativo per V_{u2} , e di valore assoluto superiore a $\pm 1/2$ LSB, si ottiene una conseguente perdita della monotonicità.



F1g. 7a-b

L'accuratezza è il grado in cui la tensione d'uscita del convertitore si avvicina alla V_u di un CDA ideale. La risposta di un CDA ideale (tensione a gradino di fig. 7a) incontra la retta congiungente lo zero con il valore di fondo scala nel punto mediano di ogni gradino di bit. I principali fattori che influenzano tale parametro sono: l'errore di linearità, le oscillazioni della tensione di riferimento e le variazioni di guadagno dell'amplificatore operazionale presenti nel convertitore.

La sensibilità termica è il grado in cui la V_u del CDA varia per effetto solo della variazione di temperatura, cioè a parità di segnale digitale (N_1) d'ingresso.

Il tempo di stabilizzazione è l'intervallo di tempo intercorrente tra la variazione del segnale digitale d'ingresso e il corrispondente raggiungimento da parte della V_u del valore finale V_{uf} , a meno di un prefissato piccolo errore percentuale: p.es $\pm 0,5\%$ dal valore di fondo scala. In fig. 7b, t_o è l'istante di tempo a partire dal quale V_u rientra nella tolleranza stabilita: risulta quindi che il tempo di stabilizzazione sia uguale a:

$$t^1 - t_o$$

L'oscillazione della V_u è causata da vari fattori, tra cui la configurazioni spurie momentaneamente presenti agli ingressi del CDA p.es nel passaggio da 0111 a 1000 per un convertitore a quattro bit.

Errore di guadagno: è la differenza (nominalmente espressa in LSB) tra il codice d'ingresso che dovrebbe dar luogo ad una tensione d'uscita pari al fondo scala e l'effettivo codice che produce il fondo scala.

L'errore del guadagno è riportato in fig. 7d; il confronto evidenzia che ad un determinato codice d'ingresso, non viene fatto corrispondere il valore di tensione previsto.

Errore di offset: è un valore continuo che si somma alla tensione convertita moltiplicandola di un'entità fissa in ogni suo punto; in pratica corrispondente alla tensione che si ha in uscita, allorché all'ingresso viene applicato il codice 0 (fig. 7e).

Gli errori di guadagno di offset possono essere ridotti o eliminati, mediante sistemi di regolazione esterni.

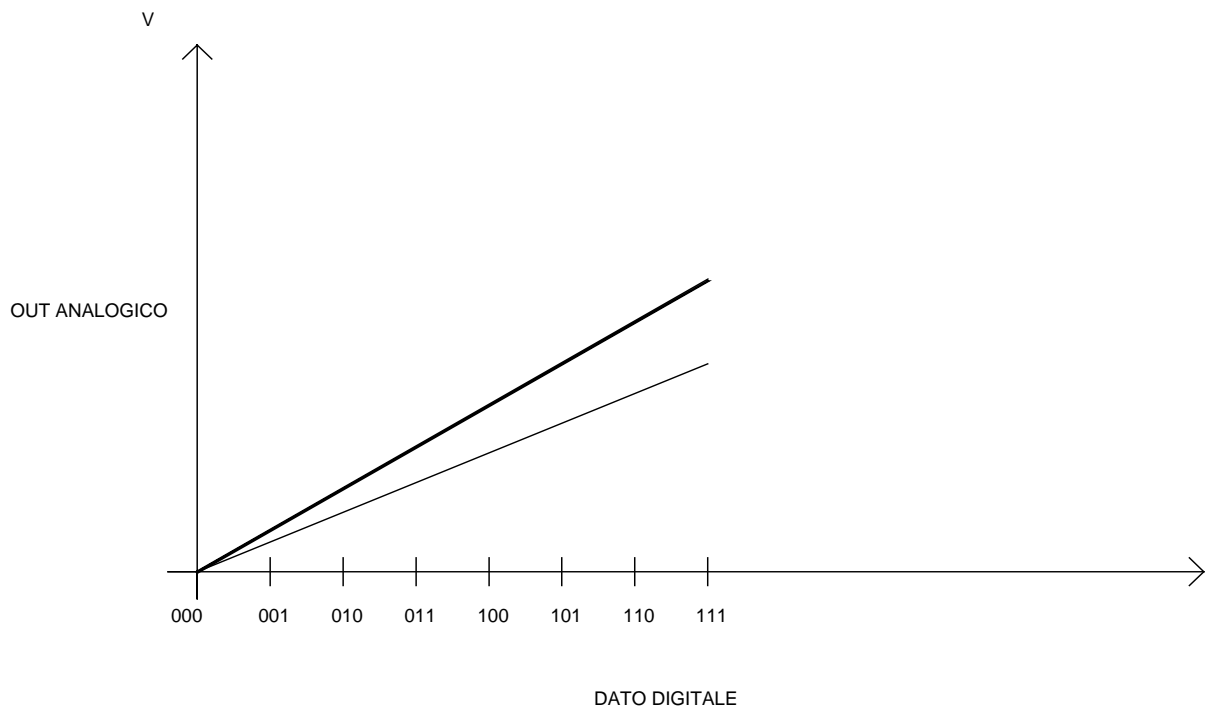


Fig. 7d Errore di guadagno.

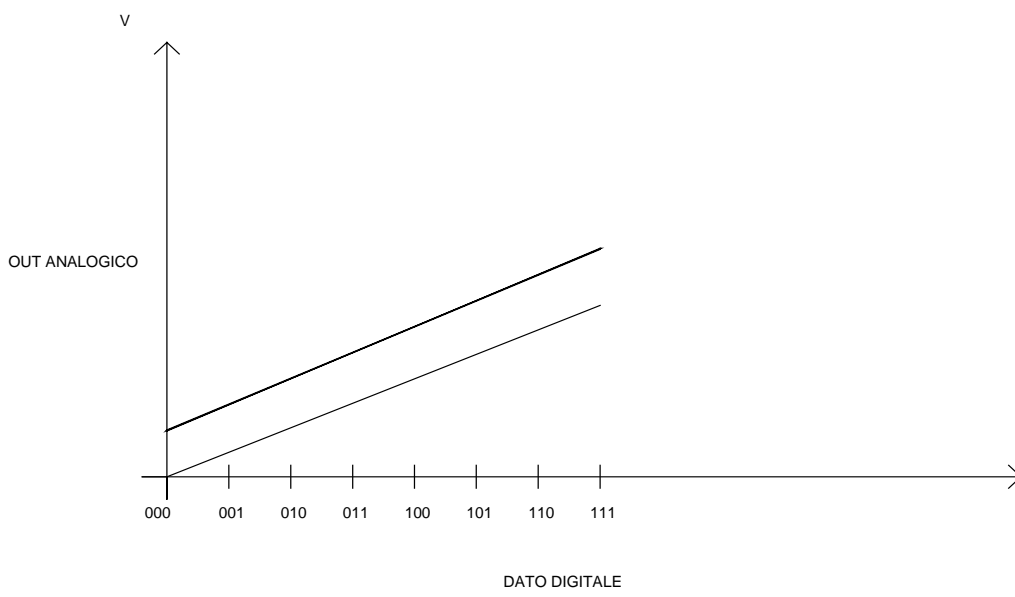


Fig. 7e Errore di offset

CONVERTITORI ANALOGICO-DIGITALI.

Per comprendere il principio di funzionamento e la struttura dei convertitori a-d, si sviluppa una breve analisi di quelle che sono le loro caratteristiche fondamentali.

Il compito essenziale di un convertitore analogico/digitale, è la trasformazione di una tensione in un codice binario.

Requisiti fondamentali per effettuare tale operazione, sono:

a) la definizione del campo di valori di tensione entro il quale il convertitore può eseguire il proprio compito;

b) il numero di parole binarie esprimibili con il tipo di codifica scelta ed il numero di bit disponibili.

Definiti gli elementi precedenti, la funzione del convertitore consiste essenzialmente nel dividere l'intervallo di tensioni d'ingresso in tante parti uguali quante sono le parole binarie codificabili, realizzando un legame biunivoco tra ciascun livello ed il corrispondente codice (quantizzazione fig. 8).

L'operazione di conversione equivale quindi alla determinazione del livello in cui si colloca l'elemento di segnale da codificare, e fornisce all'uscita la parola binaria corrispondente a quel livello.

La pur sommaria descrizione precedente, pone in evidenza tre elementi fondamentali riguardanti le operazioni connesse al funzionamento dei convertitori A-D:

- il campionamento e la memorizzazione del campione;
- la quantificazione;
- le condizioni temporali del campionamento (frequenza, durata, tempo di conversione).

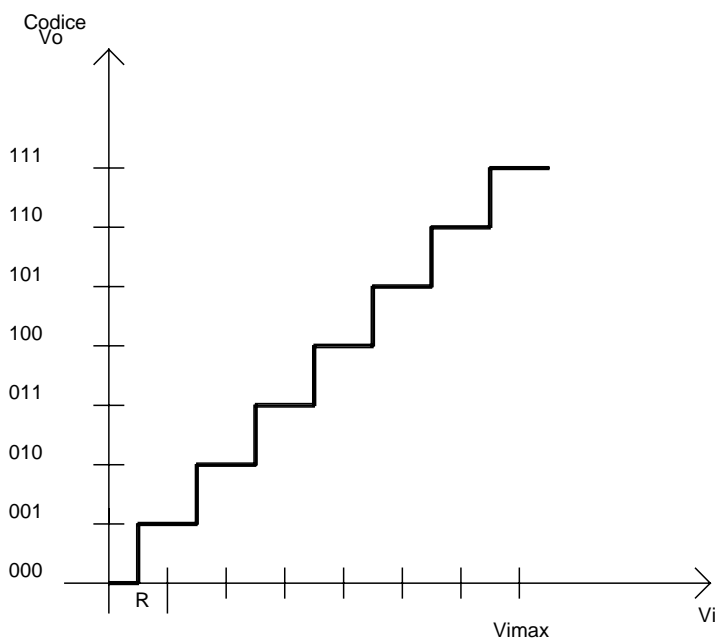


Fig. 8 Principio grafico della quantificazione (caratteristica di trasferimento ad ogni valore della tensione d'ingresso corrisponde una parola d'uscita). Il sistema esemplificato prevede parole con tre bit, quindi il numero massimo di parole ovvero di livelli di quantificazione $2^3 = 8$

Campionamento e memorizzazione.

L'operazione di conversione ha una durata finita, detta tempo di conversione; mentre viene convertito un elemento del segnale analogico d'ingresso questo, essendo continuo nel tempo, può modificare il proprio valore.

Ciò comporta che il convertitore prelevi un campione del segnale da convertire ed operi su quel campione, indipendentemente dalle modifiche che il segnale stesso subisce durante la conversione

(fig. 9).

L'operazione di prelievo e mantenimento del campione viene effettuata da un circuito apposito, definito sample-hold

(campionamento-mantenimento).

Circuito di sample-hold.

La struttura tipo del circuito sample-hold è riportata in fig. 10.

Nello schema di figura si osserva:

- Un interruttore che viene mantenuto normalmente aperto, salvo essere chiuso nell'istante di campionamento; questo interruttore assolve al compito di prelevamento del campione;
- un condensatore, che immagazzina sotto forma di carica sulle armature, la ddp del campione prelevato.

Nello schema di principio di fig. 10, il circuito sample-hold vero e proprio è interfacciato mediante una copia di inseguitori; la funzione di tali inseguitori è di costituire delle impedenze elevate, verso il generatore di segnale e verso il carico, allo scopo di non alterare le condizioni di funzionamento del generatore stesso e del circuito sample-hold.

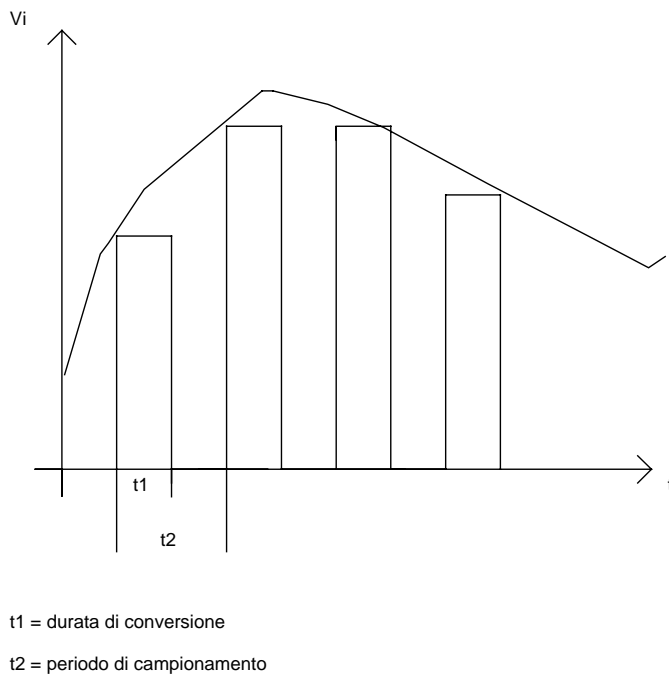


Fig. 9 Campionamento e mantenimento del livello del segnale d'ingresso durante la conversione

Parimenti, la resistenza d'uscita pressoché trascurabile dell'inseguitore indicato con 1, consente la scarica del condensatore, in modo da adeguarlo in tempo minimo al livello di ogni nuovo campione prelevato attraverso la chiusura dell'interruttore.

Tra le caratteristiche che qualificano i circuiti di sample-hold, vi sono i tempi; per comprendere il significato, è opportuno considerare che nelle operazioni dei circuiti sample-hold si identificano due fasi:

- la fase di campionamento (sample), equivale alla condizione di interruttore chiuso, ovvero alla fase di prelevamento del campione del generatore di segnale;
- la fase di mantenimento (hold), equivale alla condizione di interruttore aperto, ovvero di

mantenimento del livello del campione.

Duranti le fasi suddette, vi sono dei tempi parassiti, derivati dai componenti con cui il circuito è realizzato, che incidono sul suo modo di operare, in particolare:

- il tempo di apertura: rappresenta il ritardo che intercorre tra il comando di chiusura dell'interruttore e l'effettivo invio del campione al condensatore, durante la fase di campionamento; tale tempo è dell'ordine di decine di ns ed evidentemente va ad incidere sulla velocità di campionamento o, in ultima analisi, sulla massima frequenza del segnale campionabile.
- il tempo di acquisizione: rappresenta il tempo necessario al condensatore per portarsi al valore di carica corrispondente al vecchio campione, a quello corrispondente al nuovo.

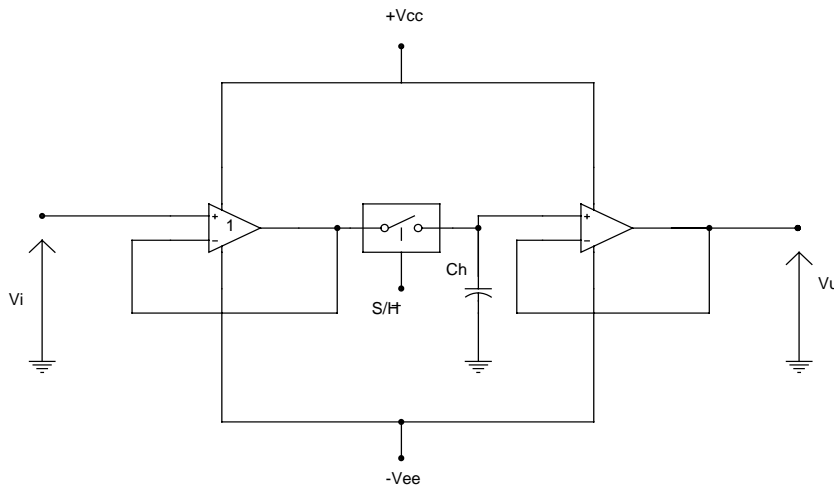


Fig. 10 Schema di principio del circuito di campionamento e memorizzazione

Ovviamente, entrambi i tempi citati debbono risultare minimi; per soddisfare a tale requisito; è necessario agire sull'interruttore e sul condensatore, che debbono pertanto avere caratteristiche particolari.

Interruttore: l'interruttore elettronico di elevata velocità, che viene posto in luogo del componente meccanico indicato in fig. 10, è una porta di trasmissione.

Condensatore: come si è accennato, i problemi fondamentali del

condensatore sono rappresentabili da:

- conservazione della carica, ovvero basse perdite, sia all'interno che verso i circuiti cui è collegato;
- rapidità di carica, ovvero piccoli valori di capacità e di resistenza.

La necessità di soddisfare ai requisiti precedenti, impone che il condensatore sia di elevata qualità, con dielettrici in: policarbonato, poliestere, mylar, polietilene,teflon, ecc. e capacità non superiori a 0,5µF.

La qualità del dielettrico è molto importante in quanto per dielettrici diversi da quelli citati, può verificarsi il fenomeno dell'assorbimento del dielettrico, con il quale si indica il mantenimento di una parte della informazione connessa al campione precedente, allorché ne viene prelevato uno successivo; tale memorizzazione è da attribuirsi ad un effetto assimilabile alla polarizzazione del dielettrico.

Nei circuiti di sample-hold integrati, il condensatore può essere contenuto entro l'integrato, oppure deve essere collegato all'esterno.

Quantificazione.

L'operazione di conversione trasforma un segnale analogico in una successione di codici e viene definita quantificazione o digitalizzazione.

Il parametro fondamentale della digitalizzazione è costituita dalla:

risoluzione: rappresenta la tensione corrispondente ad un livello di codifica (o quanto).

Con una parola di n bit è possibile ottenere:

$$Q = 2^n \quad \text{quanti}$$

La risoluzione per come è stata definita, vale pertanto:

$$R = \frac{V_{\text{imax}}}{2^n - 1} [\text{V}]$$

ovvero:

Vimax rappresenta la massima escursione del segnale (ad esempio, nel caso di sinusoidi è il valore di picco-picco).

Sovente la risoluzione viene espressa in percentuale della massima tensione convertibile

$$R(\%) = \frac{R}{V_{\text{imax}}} \cdot 100 = \frac{1}{2^n - 1} \cdot 100$$

Se ad esempio:

$$V_{\text{max}} = 5\text{V}; \quad n = 3;$$

il numero di quanti è:

$$2^3 = 8$$

e la risoluzione assume il valore:

$$R = \frac{5}{8-1} = 0,714\text{V}$$

Si osservi che, per il come è stata definita, la risoluzione rappresenta in pratica il valore di tensione analogica d'ingresso, necessario per modificare il bit meno significativo della parola del codice.

La quantificazione comporta un errore sistematico, conseguente al frazionamento di un segnale analogico in una successione di livelli finiti.

Tale errore, definito anche incertezza o errore di quantificazione, costituisce il livello di indeterminazione associato alla fascia di valori della tensione d'ingresso che vengono codificati mediante la stessa parola binaria.

E' possibile determinare l'errore di quantificazione, in un convertitore ideale (ovvero privo di altre sorgenti di errore), per mezzo della relazione:

$$\varepsilon = \frac{R}{2} = \frac{1}{2} \cdot \frac{V_{\text{max}}}{2^n - 1}$$

Il significato dell'errore di quantificazione è comprensibile analizzando la fig. 8; si osserva infatti che soltanto un valore della tensione d'ingresso corrisponde esattamente al codice espresso dalla quantificazione, precisamente quello in cui la gradinata che esprime la successione di valori quantificati, si incontra con la linea tratteggiata che esprime il legame lineare ideale tra ingresso ed uscita del convertitore.

Tuttavia vengono rappresentati mediante lo stesso codice anche tutti i valori d'ingresso che stanno in un intorno di ampiezza 2ε del punto precedente.

Questo significa che nel codice uscente da un convertitore A-D, vi è una incertezza di entità $\pm \varepsilon$ circa l'esatto valore del segnale analogico che lo ha prodotto.

Ovviamente l'incertezza di quantificazione non è l'unico errore che nasce all'interno dei convertitori A-D. è tuttavia un errore sistematico.

A titolo informativo in tabella vengono riportati i valori della risoluzione e dell'errore di quantificazione, per la lunghezza di parola più utilizzate nei convertitori pratici.

n: n° di bit della parola	n° livelli (quanti)	risoluzione %
8	256	0,39
10	1.024	0,098
12	4.096	0,024
16	65.536	0.0015
22	4.194.304	$24 \cdot 10^{-4}$

La conversione deve mantenere l'informazione contenuta nel segnale, pertanto il prelevamento del campione e la loro codifica debbono essere effettuati in modo da non perdere l'informazione contenuta nelle variazioni di livello del segnale analogico.

Ciò pone chiaramente il problema di correlare tra loro la frequenza del campionamento e la variazione (frequenza) del segnale d'ingresso.

Il principio su cui si basa il legame tra la frequenza (o la banda) del segnale d'ingresso ed il periodo di campionamento che consente di mantenere il livello di informazione in esso contenuto, è il teorema di Shannon.

Tale teorema definisce la frequenza di prelevamento del campione, necessaria e sufficiente affinché non si abbia perdite di informazione, per un segnale periodico di frequenza nota, oppure, o per un segnale aperiodico di frequenza limitata.

Teorema di Shannon.

Se un segnale è periodico con frequenza f_2 o aperiodico, ma con banda di frequenza limitata entro il valore f_2 , non si hanno perdite di informazione prelevandone campioni ad intervalli di tempo :

$$T_c \leq \frac{1}{2f_2}$$

Questo equivale ad una frequenza di campionamento:

$$f_c \geq 2f_2$$

Il teorema di Shannon, detto anche teorema del campionamento, definisce una condizione limite, che permette di interpolare correttamente un segnale analogico, per mezzo della conoscenza di una successione di campioni del segnale medesimo.

In pratica, è opportuno mantenere una frequenza di campionamento:

$$f_c \geq 5f_2$$

I motivi che giustificano questo margine, rispetto al limite definito da Shannon, sono essenzialmente due:

- la condizione di Shannon preserva la frequenza del segnale campione, ma restituisce una forma assai distorta, ovvero ricca di armoniche di ordine superiore;
- una frequenza di campionamento troppo prossima alla frequenza del segnale, può dar luogo ad un fenomeno indesiderato, definito aliasing, specie quando il segnale non è perfettamente sinusoidale, ma in esso sono presenti armoniche

L'aliasing definisce l'insorgere di segnali indesiderati, che ha luogo quando nel segnale da campionare sono presenti armoniche superiori al limite di Nyquist:

$$f_2 = \frac{f_c}{2}$$

Le frequenze spurie (alias), nascono per effetto del battimento tra le eventuali armoniche di segnale superiore al limite di Nyquist e la frequenza di campionamento f_c , quando tali frequenze sono troppo vicine l'una l'altra.

Per evitare il fenomeno di aliasing, si inseriscono filtri sul segnale da campionare, in modo da garantire l'assoluta assenza di armoniche a frequenza superiore al limite di Nyquist.

Si definisce battimento un fenomeno che si verifica tra due segnali aventi frequenze e ampiezze abbastanza prossime tra loro, allorché i due segnali vengono posti in condizioni tali da sommarsi linearmente uno con l'altro. In particolare, la relativa vicinanza tra le frequenze che producono battimento, consente di ottenere un segnale risultante, la cui ampiezza presenta una successione di massimi e di minimi (battimenti) avente periodicità proporzionale alla differenza delle due frequenze.

In formule:

$$f_b = |f_2 - f_1|$$

Osservazione

Le considerazioni precedenti definiscono la minima frequenza di campionamento possibile.

E' evidente che, se si esegue un campionamento con frequenza superiore a quella espressa dal teorema di Shannon, si migliora la qualità della informazione associata al campionamento.

A porre un limite alla massima frequenza di campionamento, vi è ovviamente la velocità del circuito di sample-hold e di quello di conversione.

Il tempo di conversione.

I circuiti di conversione analogico-digitale richiedono un tempo non trascurabile per effettuare la trasformazione di un livello di tensione in un codice numerico.

Tale tempo, detto tempo di conversione T_c , è fortemente dipendente dalla tecnica di conversione utilizzata e dal livello di precisione ottenibile dal convertitore.

Ovviamente il tempo necessario al convertitore per effettuare la conversione, costituisce un parametro fondamentale, in quanto definisce il tempo durante il quale il campione deve essere mantenuto inalterato entro il sample-hold.

Peraltro, il tempo di conversione è vincolato alla frequenza del segnale da convertire, attraverso le condizioni imposte dal teorema di Shannon, perché durante la conversione il livello del segnale da convertire si modifica e, se il tempo di conversione non consente il rispetto del limite di Shannon, si perde parte dell'informazione.

Una condizione che tiene conto dei vincoli precedenti, è rappresentata dall'uguaglianza tra l'incertezza di risoluzione e la massima variazione possibile del segnale nel tempo di campionamento T_c .

In altri termini, si è osservato che l'incertezza di risoluzione: $R = 2 \epsilon$, rappresenta la fascia di valori di tensione del segnale d'ingresso, entro i quali viene fornito uno stesso codice di uscita: il tempo di conversione non produrrà errori superiori a quello di risoluzione se, durante il tempo di conversione medesimo, il segnale subisce una variazione non superiore all'ampiezza dell'incertezza di risoluzione (fig. 11).

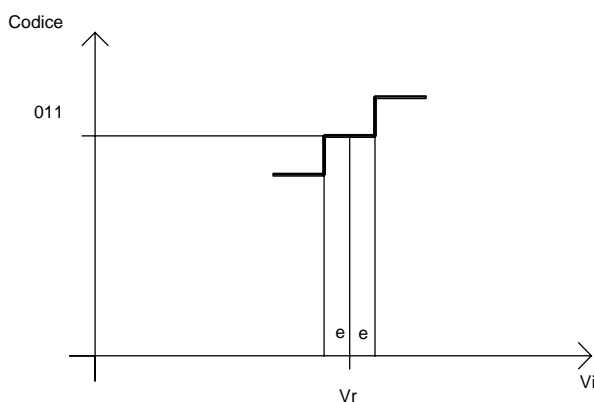
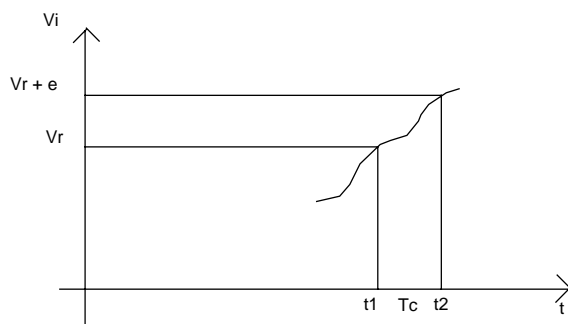


Fig. 11 - a)Variazioni limite di entità "e" (epsilon) del segnale d'ingresso durante il tempo di conversione T_c ; b)costanz del codice corrispondente ad un generico valore d'ingresso V_r , nell'intervallo di ampiezza $2 "e"$ attorno al valore V_r medesimo.

E' possibile fornire una formulazione matematica della condizione precedente, se si suppone che il segnale da convertire sia una sinusoide di frequenza f e valore massimo V_{im} ; in tale ipotesi il valore limite per il tempo di conversione, risulta:

$$T_c \leq \varepsilon / (2\pi f V_{im})$$

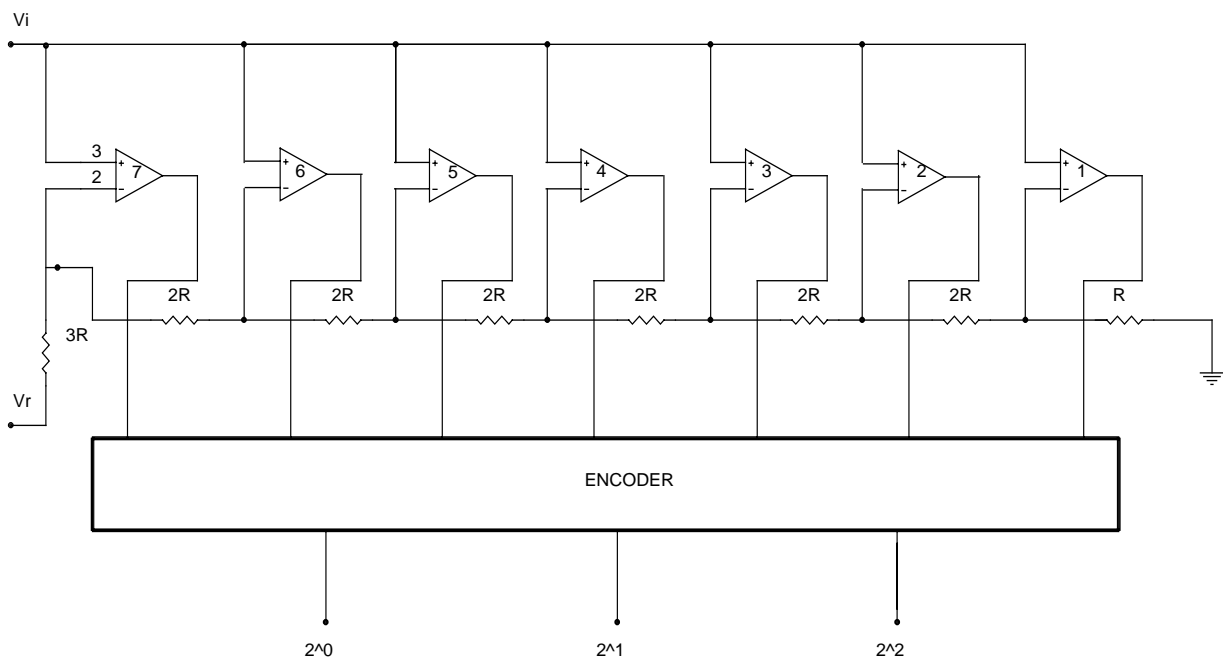
Tipologie dei convertitori A-D.

In questo paragrafo vengono analizzate le diverse soluzioni che consentono di realizzare la conversione analogico-digitale. Come si potrà notare, tali soluzioni sono numerose ed alcune, ormai abbandonate in pratica, vengono richiamate unicamente a scopo didattico. Alla base dei criteri di scelta tra le diverse soluzioni di conversione che vengono prese in esame, vi sono tre parametri:

- la velocità di conversione: costituisce il tempo necessario al convertitore per fornire all'uscita il codice corrispondente al campione di segnale applicato al suo ingresso;
- la risoluzione di conversione: è il più piccolo incremento del segnale analogico d'ingresso, convertibile dal dispositivo;
- il costo: è un parametro di notevole rilevanza, in quanto aumenta notevolmente all'aumentare dei due parametri precedenti. La considerazione relativa al costo, giustifica anche il ricorso a tecniche di multiplexing.

Altri parametri di notevole importanza sono poi:

- precisione: è definita dallo scarto tra il valore convertito ed il valore vero della grandezza in esame. le cause che possono dar luogo ad uno scarto, ovvero che alterano la precisione di un convertitore, sono essenzialmente:
 - la deriva, intesa come effetto della temperatura, dell'invecchiamento dei componenti e delle fluttuazioni dell'alimentazione;
 - la non linearità del comportamento;
 - sensibilità: è rappresentata dal più piccolo livello di tensione che può essere convertito. Per i convertitori che verranno esaminati si definisce, oltre alla sensibilità, anche il massimo valore dei segnali d'ingresso che consentono al convertitore di lavorare nelle migliori condizioni di funzionamento. Tali valori impongono delle limitazioni alla struttura del circuito d'ingresso, che deve manipolare la grandezza da convertire in modo da portarla entro il campo di lavoro del convertitore.



Convertitori paralleli (flash).

In molte delle utilizzazioni per le quali si rende necessaria la conversione analogico-digitale, la rapidità della conversione stessa costituisce un parametro fondamentale. Questo ad esempio è quanto avviene nei sistemi di digitalizzazione di immagini video, nei quali l'alta frequenza del segnale da convertire ($f_2 \approx 5\text{MHz}$), impone frequenze di campionamento dell'ordine di:

$$f_c \geq 2f_2 = 10\text{MHz} \quad (\text{teorema di Shannon})$$

è evidente che, in tali condizioni, il tempo di conversione deve essere contenuto entro l'intervallo di campionamento, ovvero deve risultare:

$$T_c \leq \frac{1}{10^7} = 100\text{nsec}$$

La soluzione al problema dell'elevata velocità è ottenuta per mezzo di sistemi paralleli, che giungono a tempi di conversione dell'ordine della decina di nsec e da questo prendono il nome di flash.

Lo schema di principio del convertitore flash è riportato in fig. 12.

Il funzionamento si basa su un partitore di precisione ed una serie di comparatori.

Si ritiene pertanto opportuno un breve richiamo relativamente al principio di funzionamento e alla struttura dei comparatori.

Comparatori.

I comparatori sono dei dispositivi che assolvono al compito di confrontare un segnale ad un riferimento (fisso o variabile), fornendo all'uscita due soli livelli possibili.

In particolare, si può avere uscita alta se il segnale supera il riferimento e bassa se non lo supera, oppure viceversa. Poiché in genere il componente fondamentale dei comparatori è un amplificatore operazionale, per uscita alta si intende la condizione di saturazione positiva dell'amplificatore e per uscita bassa quella di saturazione negativa.

In fig. 13a è riportato il simbolo di un generico comparatore, con il riferimento sull'ingresso invertente ed il segnale da confrontare sul non invertente; in particolare in figura il riferimento è rappresentato dal potenziale di massa, pertanto il circuito viene definito comparatore di zero. Nelle fig. 13b-c, sono riportati, rispettivamente, il segnale d'ingresso e quello d'uscita del comparatore. Si osservi che con V_{out} (rispettivamente positivo e negativo), si è indicato il valore di saturazione dell'amplificatore operazionale:

$$V_u = V_{out+} \text{ in saturazione positiva}$$

$$V_u = V_{out-} \text{ in saturazione negativa.}$$

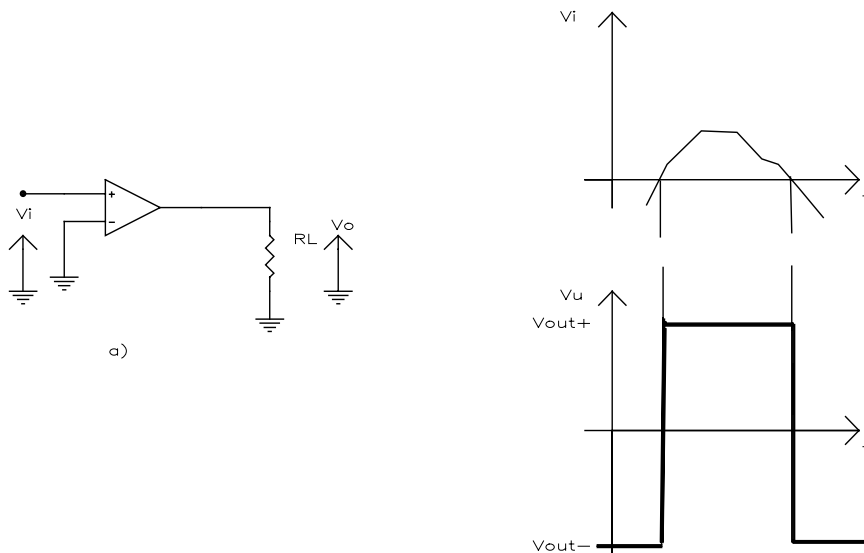


Fig. 13 -a)Comparatori di zero non invertente; b)segnale variabile d'ingresso; c) segnale d'uscita a due livelli.

Per comprendere l'ordine di grandezza delle tensioni in gioco, si consideri un amplificatore operazionale con alimentazioni $\pm 15V$, $|V_u| = 13V$ ed $A = 10^5$.
 $V_i = |V_u| / A = 13 / 10^5 = 130 \mu V$.

Il risultato permette di comprendere che:
 - se la tensione del segnale applicato all'ingresso, supera il valore di riferimento (0), di $130 \mu V$, l'uscita si

porta alla saturazione positiva;

- se la tensione del segnale applicato all'ingresso, risulta inferiore al valore di riferimento (0), di $130 \mu V$, l'uscita si porta alla saturazione negativa.

Le considerazioni precedenti permettono di notare che l'uscita mantiene il valore di saturazione negativa sino a che l'ingresso è inferiore al riferimento e si porta invece alla saturazione positiva allorché lo supera; il comparatore descritto viene per questo definito comparatore di zero non invertente.

E' possibile disporre anche di comparatori con riferimento diverso da zero, ovvero tali che le commutazioni dell'uscita avvengano in corrispondenza del passaggio del segnale d'ingresso attraverso livelli non nulli, ricorrendo a soluzioni circuitali del tipo indicato in fig. 14, per le quali risulta:

$$|V_u| = A \cdot (V_i - V_r)$$

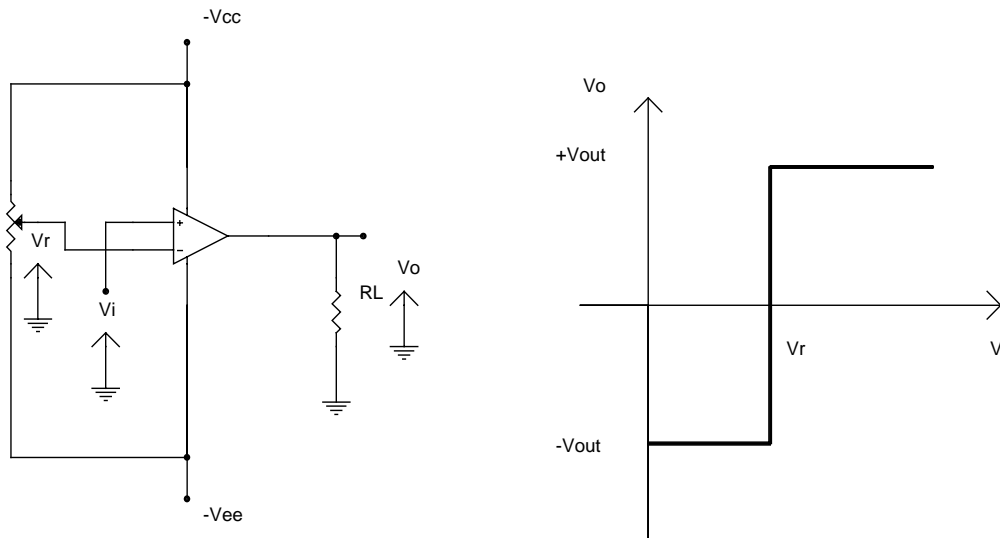


Fig. 14 - a)Comparatore a livello variabile, non invertente;
b)Caratteristica di trasferimento

Analizzando lo schema di fig. 12 si osserva che all'ingresso del partitore si applica una tensione di riferimento V_r , che viene suddivisa mediante le resistenze del partitore, in una successione di livelli riportati in tabella 1.

Il campione del segnale da convertire, viene applicato

all'ingresso non invertente di tutti i comparatori; in corrispondenza dei comparatori per i quali la tensione all'ingresso non invertente (segnale da convertire) è maggiore di quella di riferimento, si ha la commutazione al livello "1"; in corrispondenza invece di quelli per i quali la tensione di riferimento (ingresso invertente), supera il segnale da convertire, si ha il livello "0". Nella tabella precedente sono riportate le parole all'uscita dei convertitori, in funzione dei diversi livelli del segnale da convertire rispetto al riferimento. Nell'ultima colonna a destra è riportata la codifica binaria a tre bit, realizzata per mezzo della ROM di conversione, che provvede a trasformare la parola di uscita dei convertitori, nel codice BCD a tre bit.

numero compar.	tensione ingr. inv.	livelli tensione V_i	parola sez. AA	parola sez. BB
1	$V_r/16$	$0 < V_i < V_r/16$	000000	000
2	$3V_r/16$	$V_r/16 < V_i < 3V_r/16$	000001	001
3	$5V_r/16$	$3V_r/16 < V_i < 5V_r/16$	000011	010
4	$7V_r/16$	$5V_r/16 < V_i < 7V_r/16$	000111	011
5	$9V_r/16$	$7V_r/16 < V_i < 9V_r/16$	001111	100
6	$11V_r/16$	$9V_r/16 < V_i < 11V_r/16$	011111	101
7	$13V_r/16$	$11V_r/16 < V_i < 13V_r/16$	011111	110
		$13V_r/16 < V_i < V_r$	111111	111

Tabella 1

Utilizzando le metodologie della logica binaria, si può ricavare la struttura interna della ROM o della gate array che provvede alla conversione dalla parola a sette bit presente nella sezione AA a quella a tre bit presente nella sezione BB. E' tuttavia possibile ricorrere a codifiche diverse, in funzione degli impieghi cui il codice è destinato; un esempio tipico è l'uso del codice Gray, che risulta ottimale nel caso si debba provvedere alla trasmissione del segnale codificato. L'esempio di convertitore flash sopra riportato, fa riferimento ad una parola di uscita di tre bit; aumentando il numero di resistenze nel

partitore di precisione e quello dei comparatori è possibile ottenere parole d'uscita con un numero maggiore di bit; la parola tipica di uscita di questi convertitori è di otto bit ed il numero di comparatori paralleli necessari per ottenerla risulta dalla relazione:

$$m = 2^n - 1$$

essendo:

m = numero di comparatori ed n = numero di bit della parola.

Per una parola d'uscita a otto bit, sono quindi necessari:

$$m = 2^8 - 1 = 255$$

livelli di comparazione, ottenibili con 255 comparatori e 256 resistenze uguali (o multiple di un valore-base R). In generale, si osservi che ogni aumento di una unità del numero di bit della parola di uscita, comporta un raddoppio del numero delle resistenze e di quello dei comparatori. I comparatori flash presentano il vantaggio della elevata velocità, ma hanno precisione relativamente scarsa, a causa della difficoltà di realizzare un numero notevole di resistenze assolutamente eguali, con egual tolleranza; nello stesso tempo, 256 comparatori eguali tra loro rappresentano un costo considerevole.

Convertitori half- flash o two step.

Si è osservato in precedenza, che i convertitori flash richiedono un numero di convertitori e resistenze, che raddoppia per ogni successivo bit della parola d'uscita. Questa condizione limita in genere ad otto il numero di bit della parola d'uscita, in quanto per una quantità superiore di bit, il costo aumenterebbe in modo eccessivo e si avrebbe una notevole perdita di precisione.

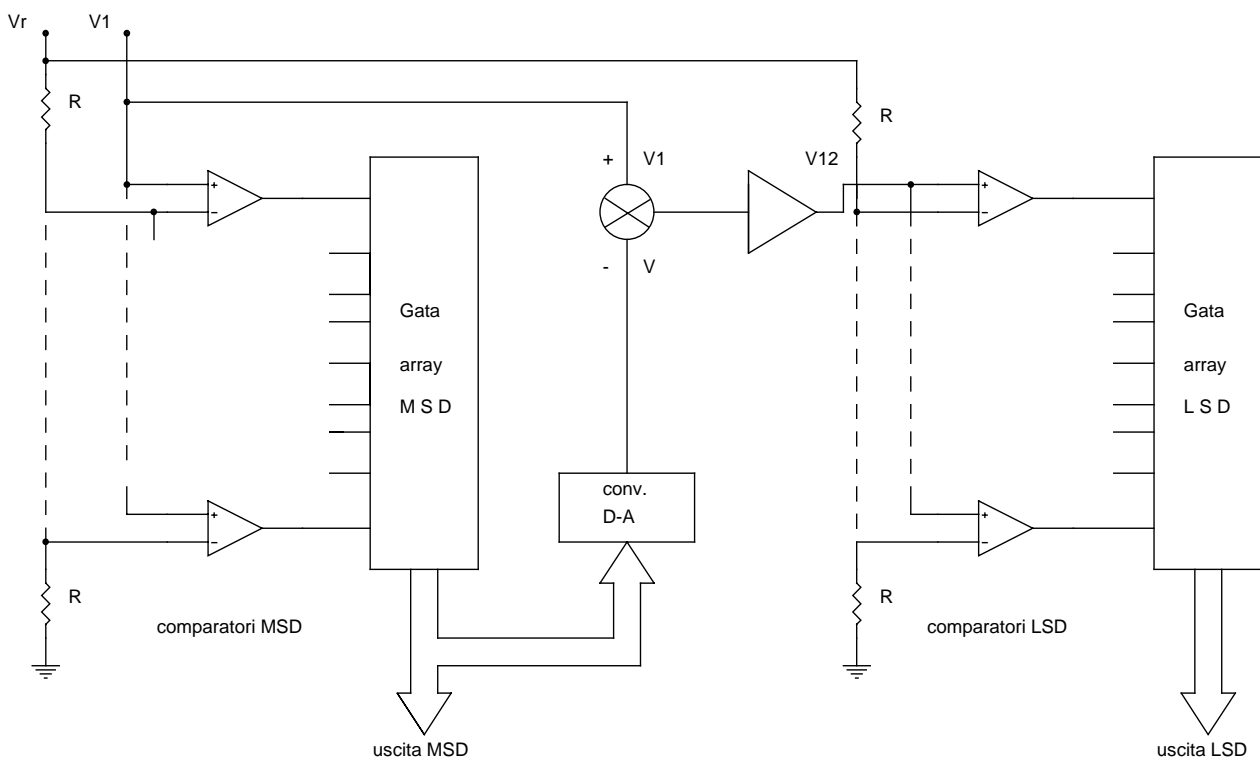


Fig. 15 Schema di principio di un convertitore half-flash

Se occorre ottenere una parola di codifica che supera gli otto bit, conservando i vantaggi di velocità dei convertitori flash, ma senza peggiorare le caratteristiche negative che, come si è visto sono legate al numero di bit della parola, si ricorre ai convertitori half-flash o two step. Il principio di funzionamento

di questi convertitori, è basato sulla suddivisione del campione analogico d'ingresso, in due parti, che vengono codificate da due diverse strutture circuitali. Per meglio comprendere la modalità operativa, si faccia riferimento allo schema a blocchi di fig. 15. Il campione da convertire, viene applicato ad un primo convertitore flash (normalmente con parola di sei-otto bit), che provvede a convertire il livello più elevato del segnale, fornendo una parola che sostituirà al parte di peso più alto (MSD: Most Significant Digit), della parola complessiva di uscita e come tale viene immagazzinata nelle locazioni di peso più elevato dello registro d'uscita. Questa parola viene poi introdotta in un convertitore D-A, che la ritrasforma nel livello analogico corrispondente; in un nodo di confronto, il livello analogico risultante della conversione D-A, viene sottratto dal campione originale. La differenza è poi convertita in un secondo convertitore flash, che fornisce i bit di peso più debole della parola di uscita. Tali bit, inviati alle locazioni più basse del registro d'uscita, danno luogo alla parola complessiva. Si noti che il principio di funzionamento dei convertitori flash rende possibile questa operazione; infatti nel primo convertitore avviene la codifica dell'intero campione di ingresso, ma il livello d'accuratezza consentito dalla parola di otto bit è tale da dar luogo ad una scarsa risoluzione; attraverso la riconversione in segnale analogico operata dal DAC, si ottiene per tanto un segnale che differisce dal campione originale, per una quantità pari alla risoluzione corrispondente al numero di bit utilizzato. Il secondo convertitore converte quindi un segnale pari alla risoluzione del primo, ovvero di ampiezza corrispondente al peso del suo bit meno significativo pertanto, ponendo la parola che da esso esce nei pesi più bassi del codice d'uscita, si affina il livello di risoluzione della codifica. ovviamente, richiedendo due conversioni in successione, i convertitori two step hanno un tempo di conversione circa doppio rispetto ai semplici flash. Inoltre, il livello di risoluzione complessivo, non è quello di un convertitore con un numero di bit pari alla parola complessiva d'uscita, in quanto il primo ha una risoluzione pari al peso del suo bit meno significativo ed il secondo effettua la conversione appunto di una tensione corrispondente a quella del bit meno significativo del primo.

Convertitore a gradinata.

Il convertitore a gradinata è rappresentato nello schema di fig. 16a.

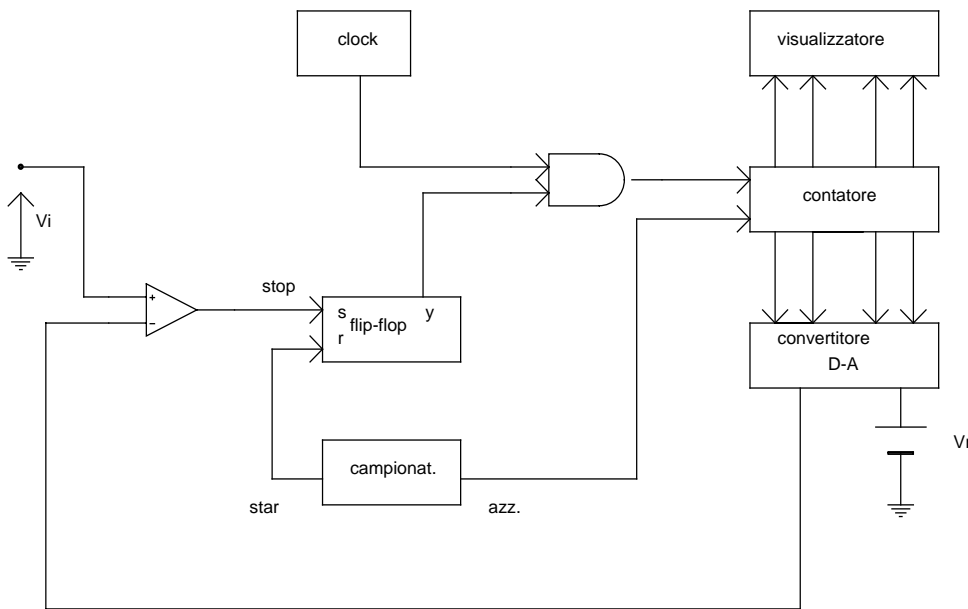


Fig. 16 - a) Schema a blocchi di convertitore analogico digitale (A/D) del tipo a gradinata.

a) Il principio di funzionamento può essere descritto nel seguente modo: allorché viene applicata una tensione V_i all'ingresso al comparatore, e il circuito di controllo del tempo di conversione (sampling o campionatore), fornisce un impulso all'ingresso set di un flip-flop

R-S, l'uscita y del flip-flop, porta a livello alto "1" l'ingresso X_2 della porta logica AND. In tal modo, l'uscita della porta AND commuta dallo stato "0" allo stato "1" con la frequenza del generatore di

impulsi di clock. Il contatore conta tali impulsi e l'invia al convertitore digitale analogico, il quale li trasforma in una successione di gradini crescenti di tensione, eguali tra loro, che vengono inviati all'altro ingresso del comparatore. Quando l'ampiezza della gradinata (V_u) raggiunge il valore della tensione applicata all'ingresso V_i , l'uscita del comparatore fornisce, all'ingresso reset del flip-flop, un impulso che arresta il conteggio. Benché in fig. 16a, non sia stato indicato, nella maggior parte dei convertitori a gradinata, esiste un circuito di memoria nel quale viene trasferito il risultato del conteggio, allorché il conteggio stesso si arresta. Dalla memoria, il numero degli impulsi è poi inviato ad un sistema di visualizzazione o, più in generale, ad un utilizzatore di tipo digitale. Nel circuito in esame, ad ogni impulso contato corrisponde un gradino di tensione e, in realtà, il numero dei gradini è molto maggiore di quello indicato in fig.16b. Infatti, nei contatori con indicazione a tre cifre, sono necessari, in genere, mille gradini per raggiungere il fondo scala e in quelli a cinque cifre, ne sono necessari centomila. Così ad esempio, in uno strumento a tre cifre, con fondo scala cento mV, ogni gradino ha ampiezza μV .

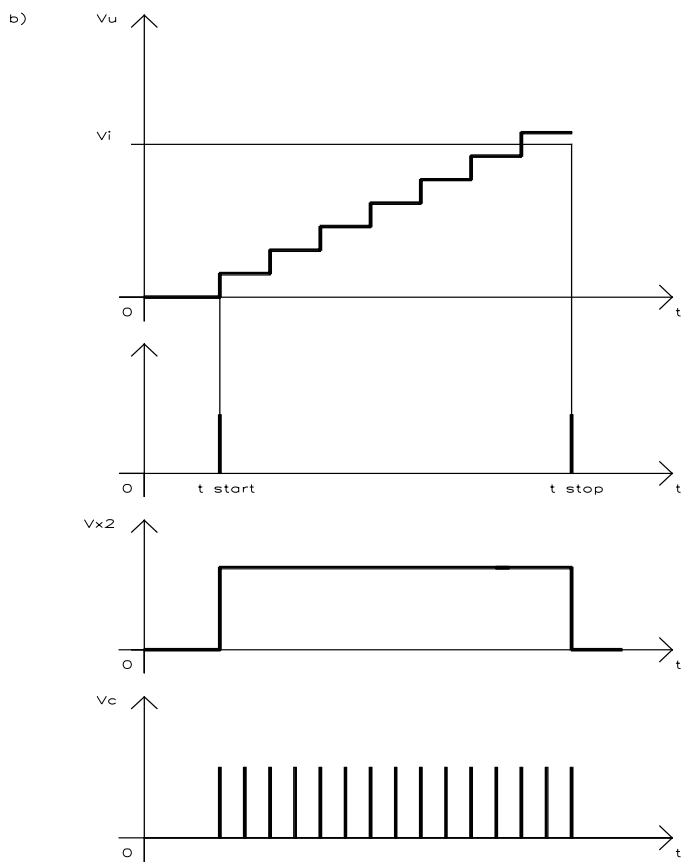


fig. 16 -b) forme d'onda relative al convertitore a gradinata. V_i = tensione continua da misurare ; V_u = tensione di uscita dal convertitore digitale analogico; V_{x2} = tensione all'ingresso $\times 2$ del And; V_c = impulsi contati .

Da questo si comprende che la lettura del numero degli impulsi di clock fornisce, grazie ad una taratura opportuna il valore della tensione applicata all'ingresso del comparatore. Inoltre, il numero dei gradini utilizzati per realizzare la rampa che porta il convertitore a fondo scala, è direttamente proporzionale al potere risolutivo del convertitore. Infine, ogni gradino corrisponde, nel conteggio, alla cifra digitale meno significativa. Per quest'ultimo motivo, si comprende che, nel confronto tra il segnale da misurare e il livello della gradinata che fornisce il comando di arresto del conteggio, è possibile commettere un errore di ± 1 digit, ovvero di una unità della cifra meno significativa della lettura, come già si è descritto nell'analisi dei contatori. L'azzeramento del contatore viene comandato dal circuito campionario, il quale fornisce l'impulso di reset ad una distanza di tempo da quello di start, tale da garantire alla gradinata la possibilità, se necessario, di raggiungere il massimo valore positivo della scala del convertitore. La precisione del sistema di conversione a gradinata, dipende

dalla stabilità della tensione di riferimento del convertitore digitale analogico e dalla sua precisione. La sensibilità ai disturbi, rende necessario l'impiego di filtri di ingresso che rallentano la velocità di esecuzione della misura; al rallentamento contribuisce poi il fatto che il tempo di misura è direttamente proporzionale al livello di tensione di ingresso, per cui una tensione elevata richiede un maggior numero di gradini, cioè maggior tempo di misura.

Convertitori ad approssimazioni successive.

Rappresentano la soluzione attualmente più diffusa per la realizzazione di convertitori commerciali; sono adatti ai sistemi computerizzati ed alla conversione di segnali che provengono dai trasduttori.

Sono caratterizzati da una buona velocità di conversione e questo li rende assai validi in operazioni di multiplexing di più sorgenti di segnale. I comparatori integrati dispongono comunemente di parole di uscita in un campo da 8 a 16 bit, con conseguenti ottimi valori di risoluzione. Il principio di funzionamento di questo tipo di convertitori è abbastanza complesso e se ne dà una spiegazione di principio, per fornire gli elementi di comprensione relativi al funzionamento dei componenti reali. Il principio di conversione è basato sulla retroazione; precisamente, una logica di controllo denominata SAR (successive approximatior register), genera parole binarie, che vengono convertite nel corrispondente valore di tensione per mezzo di un convertitore D-A; la tensione ottenuta dal convertitore D-A è confrontata con quella del campione d'ingresso.

L'esito del confronto determina la correzione del codice risultante della conversione e l'operazione prosegue sino a che lo scarto tra il campione del segnale da convertire e quello analogico risulta dalla conversione digitale analogica della parola binaria fornita dallo SAR, risulta minimo.

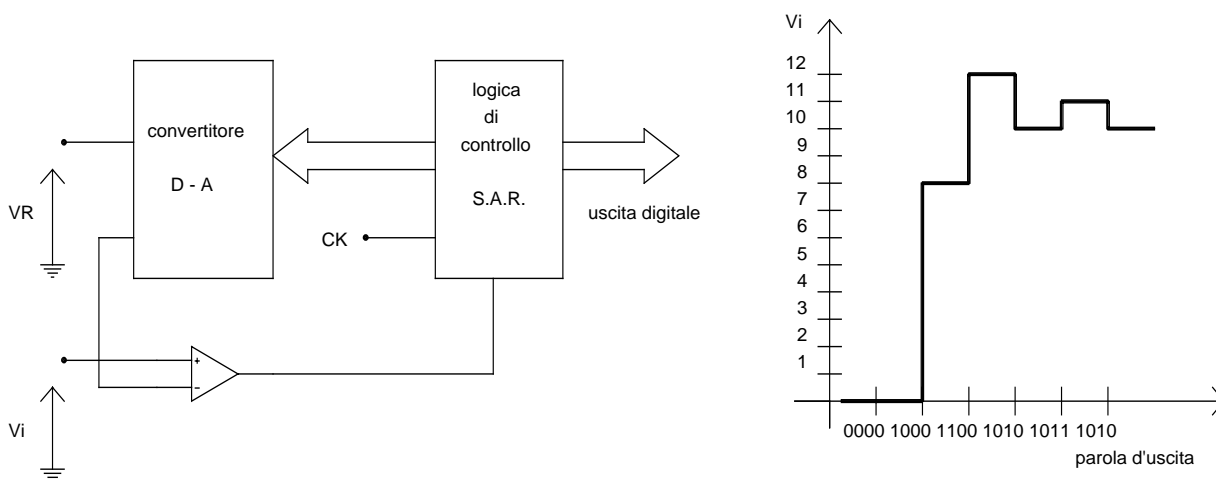


Fig. 17 - a)Schema a blocchi del convertitore ad approssimazione successive; b)ricerca della codifica relativa ad un campione $V_i = 10V$, con codice di 4 bit

Con lo schema a blocchi di fig. 17a, si sviluppa a titolo d'esempio, il principio di conversione ad approssimazioni successive, per un campione $V_i = 10V$ da convertire in una parola da 4 bit. Per comprendere i ragionamenti che seguono occorre fare riferimento ai convertitori D-A analizzati nel precedentemente. Per agevolare lo studio, si riporta tuttavia una tabella in cui vengono richiamate le relazioni che un convertitore D-A realizza tra ciascun bit della parola binaria d'ingresso e la tensione di riferimento V_r

ingressi				uscita	
2^3	2^2	2^1	2^0	fraz. di V_r per $V_r = 16V$	
1	0	0	0	$V_r/2$	8V
0	1	0	0	$V_r/4$	4V
0	0	1	0	$V_r/8$	2V
0	0	0	1	$V_r/16$	1V

La presenza di più bit nella parola binaria applicata al convertitore D-A determina un livello di tensione pari alla somma dei pesi equivalenti a ciascuno dei bit della parola.

Esempio:

Si utilizza la tabella per determinare il valore analogico

della parola binaria:

1001

E' sufficiente sommare il valore fornito per la parola:

1000, con quello fornito per la parola 0001

Risulta:

$$8 + 1 = 9 \text{ V}$$

All'inizio della conversione, il circuito genera il codice corrispondente al livello minimo:

0000

Il convertitore D-A riporta al comparatore un segnale nullo e di conseguenza la logica di controllo porta a uno il bit più significativo della parola di uscita (2^3), che diviene:

1000

dalla tabella precedente, si ricava che la tensione di uscita del convertitore D-A vale in tal caso:

$$|V_r / 2| = 8 \text{ V}$$

Tale tensione è ancora minore da quella da convertire, pertanto viene memorizzato il livello 1 del bit più significativo del registro che immagazzina la parola di uscita e la logica provvede al passo successivo, che consiste nel portare ad 1 il secondo bit da sinistra della parola d'uscita, cioè 2^2 (mantenendo a uno il primo, in virtù dell'esito del confronto).

Nel convertitore D-A esemplificato in tabella, il secondo bit da sinistra ha preso 4 V, pertanto la parola convertita a peso complessivo:

$$8 + 4 = 12 \text{ V}$$

Tale tensione risulta maggiore di quella del campione, e la logica stabilisce che il livello 1 per il bit di peso 2^2 è eccessivo, dunque memorizza un livello zero nella locazione 2^2 dal registro contenente la parola di uscita e prova portare a uno il bit di peso 2^1 , fornendo la parola:

1010

che, convertita in analogica, dà luogo ad una tensione di:

$$8 + 2 = 10 \text{ V}$$

La codifica corrisponde esattamente al livello del campione, ma tuttavia la logica di controllo effettua un ulteriore tentativo per verificare di essere esattamente entro il campo di risoluzione, per tanto mette a 1 il bit di peso 2^1 del registro di uscita e porta a uno il bit di peso 2^0 , fornendo al DAC la parola:

1011

questa a tuttavia livello eccedente rispetto al campione pertanto la logica stabilisce univocamente che la parola ha 4 bit che meglio approssima il livello del campione del segnale d'ingresso è:

1010

Il funzionamento esemplificato è soltanto di principio; e in pratica la logica di controllo opera in modo da limitare il funzionamento dei tentativi in quanto fornisce bit sia in somma che in sottrazione (bilanciamento continuo o traching) e consente di ridurre i tempi di conversione.

Anche il segno del segnale d'ingresso può rappresentare un problema, che comunque viene risolto negli integrati monolitici disponibili in commercio.

Convertitore potenziometrico a bilanciamento continuo.

Il sistema ad conversione a bilanciamento continuo ha funzionamento analogo a quello ad approssimazioni successive. anch'esso dispone di una retroazione, operata mediante un sistema digitale analogico. Il segnale retroazionato viene confrontato con l'ingresso V_i e, dal comparatore, esce un segnale che stabilisce il verso del conteggio (fig. 18), in modo da rendere minimo lo scarto tra segnale V_i da codificare e il risultato della codifica. Ciò che differenzia questo convertitore dal precedente è la possibilità dell'unità logica nel contare nei due sensi. In altri termini nel sistema di approssimazioni successive, la logica conta gli impulsi di clock, e li fornisce alla decodifica nella successione 8-4-2-1 e

il bit corrispondente viene memorizzato (livello "1") o trascurato (livello "0"), in funzione dell'esito del confronto che avviene nel comparatore nel sistema a bilanciamento continuo, invece, la valutazione dei bit può avvenire in senso decrescente o crescente.

Questo significa che l'unità logica numera gli impulsi di clock, e il risultato del conteggio, nella successione delle potenze di due, viene decodificato e confrontato con la V_i ; affinché la tensione corrispondente è minore di V_i , il conteggio prosegue in senso crescente (cioè il livello relativo a ciascun bit viene sommato con quello immediatamente precedente); allorché diviene maggiore, il conteggio avviene in senso decrescente (ovvero il livello dei bit successivi anziché essere sommato a quello dei precedenti, viene sottratto).

Per meglio comprendere il procedimento, si ricordi che, nel convertitore digitale analogico, ciascuno dei bit porta un incremento del livello della tensione d'uscita, corrispondente ad una parte di V_r meno significativa a quella relativa al bit precedente; infatti noto che il livello di tensione dell'ennesimo bit è:

$$V_{2^n} = \frac{1}{2^n} V_r$$

perciò, se al terzo bit del conteggio corrisponde il livello di tensione

$$\frac{V_r}{2^3} = \frac{V_r}{8},$$

al quarto corrisponde un livello pari a

$$\frac{V_r}{2^4} = \frac{V_r}{16},$$

e così via.

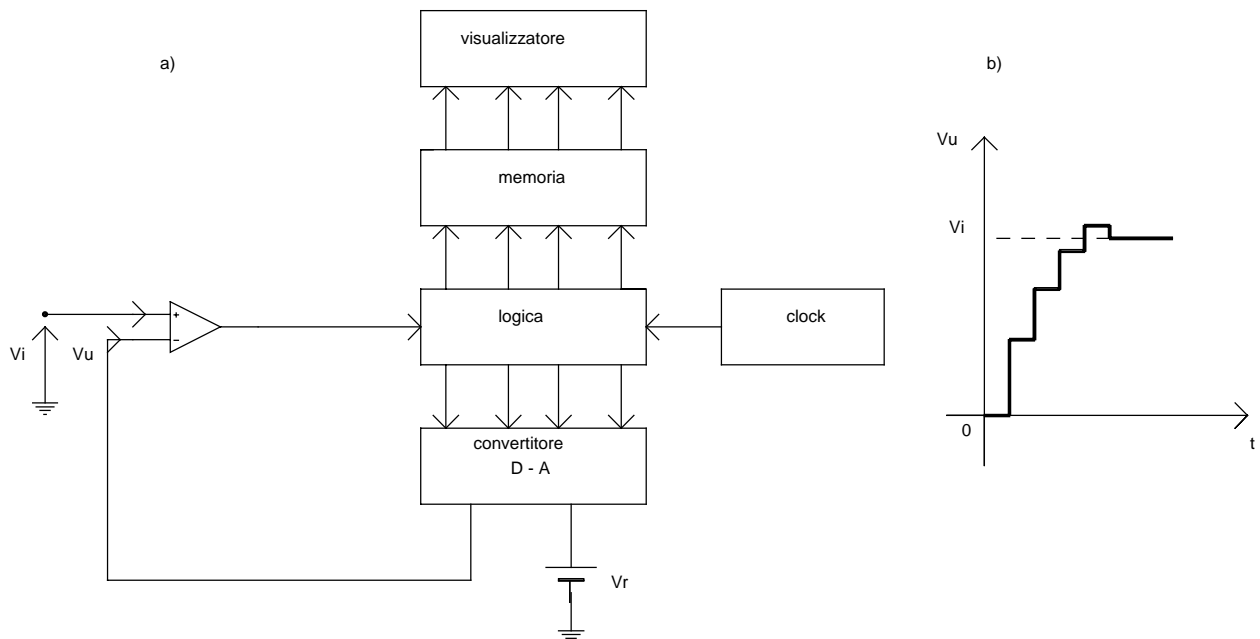


Fig. 18 - a) Schema a blocchi del convertitore A/D del tipo a bilanciamento continuo ;
b) Schema grafico delle successive operazioni per la conversione di una V_i .

Questo consente di proseguire il conteggio fino a raggiungere un livello di tensione praticamente uguale a V_i . Questo tipo di convertitore è lento ed è tale che aumentando la rapidità di conversione, si diminuisce l'accuratezza della misura; risulta inoltre sensibile al rumore, pertanto necessita di filtri di ingresso che ne diminuiscono ulteriormente la velocità di misura.

Convertitore a rampa lineare.

Il principio di funzionamento di questo convertitore è completamente diverso da quelli esaminati in precedenza; innanzi tutto il circuito è del tipo a catena aperta, ovvero non esiste un confronto tra la tensione da convertire e il segnale convertito e ciò aumenta notevolmente la sensibilità ai disturbi. In secondo luogo, la conversione avviene attraverso una trasformazione tensione-tempo.

Per comprendere quanto asserito, si faccia riferimento allo schema di fig. 19: a intervallo di tempo prefissati (cicli o periodi di misura) il campionatore fornisce un impulso che azzerava il contatore e comanda l'avvio del generatore di rampa, il quale fornisce una rampa lineare di tensione che, partendo dal massimo valore di segnale che il comparatore può ricevere all'ingresso, decresce fino a valori negativi (fig. 19b). La tensione di rampa è inviata a uno degli ingressi di un comparatore che, all'altro ingresso, ha la tensione da convertire: allorché la tensione di rampa, decrescendo (si ricordi che inizia dal valore di fondo scala del convertitore), raggiunge il livello di V_i , l'uscita del comparatore commuta e fornisce un impulso all'ingresso di set di un flip-flop; l'uscita di tale flip-flop si porta a livello alto "1" questo fa sì che l'uscita della porta logica AND, abbia lo stesso andamento dell'ingresso x_2 , ossia fornisca al contatore gli impulsi di clock.

Se ne trae che, quando la tensione di rampa eguaglia la tensione V_i , inizia il conteggio degli impulsi di clock, generati da un oscillatore stabilizzato, ovvero di durata rigorosamente costante. La rampa oltre che al comparatore d'ingresso, viene introdotta in un comparatore di "0" (amplificatore operazionale con un ingresso a massa): in tal modo, allorché passa per lo zero, dall'uscita di questo comparatore viene inviato un impulso all'ingresso reset del flip-flop. L'uscita di questo ultimo commuta dallo stato "1" allo stato "0", interdichendo la porta logica AND ed arrestando il conteggio degli impulsi di clock. E' evidente che il numero degli impulsi è proporzionale all'ampiezza del segnale V_i ; infatti il conteggio inizia a livello di V_i e termina col passaggio dello zero, di una rampe di durata costante; anche la frequenza di clock è costante e da ciò si comprende perché questo circuito viene anche chiamato convertitore tensione-tempo.

a)

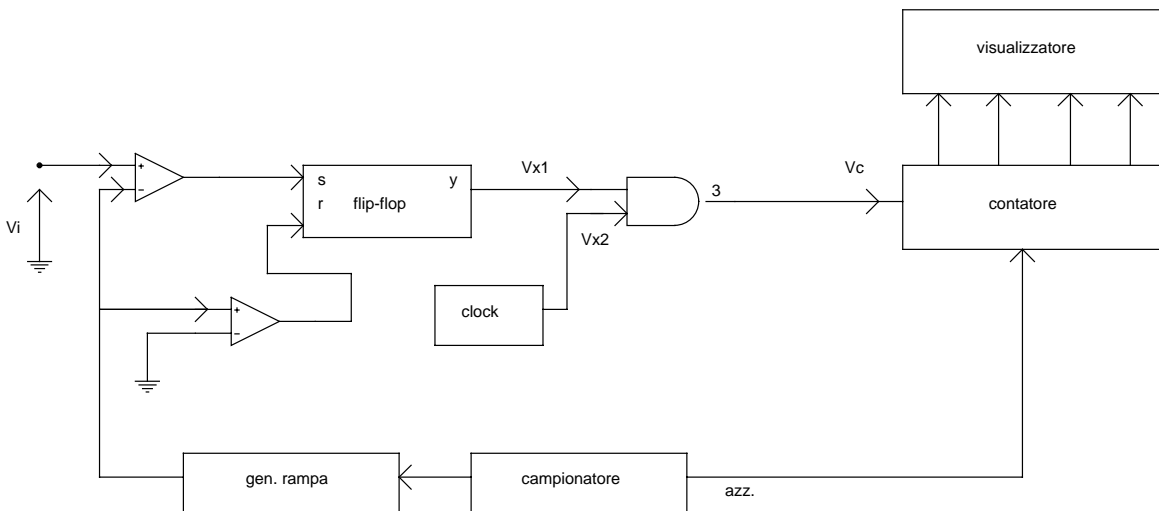
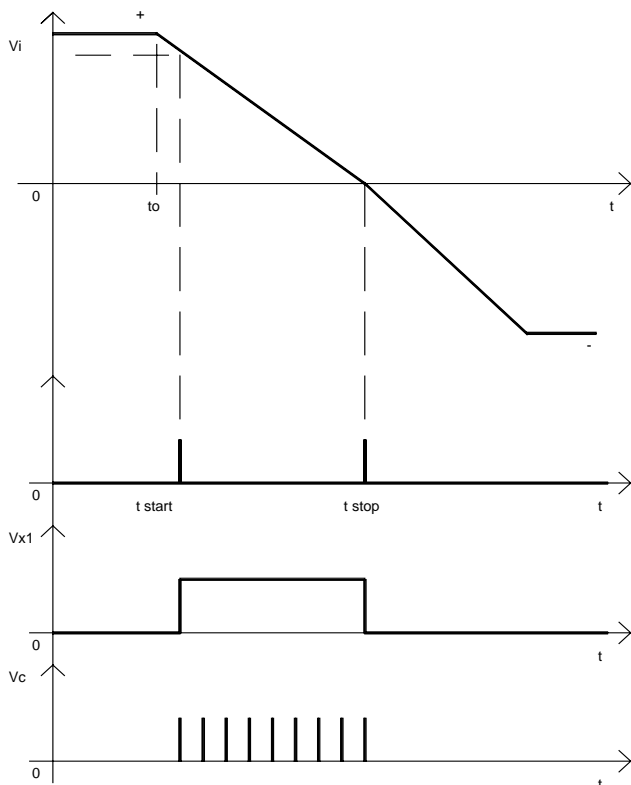


Fig. 19 - a) Schema a blocchi di un convertitore a rampa lineare;

Il sistema ora esaminato ha un elevato potere risolutivo ($10 \mu\text{V}$) e buona precisione di conversione (0,01% del fondo scala), ma si presenta assai sensibile al rumore, in effetti se, ad esempio a V_i si sovrappone un rumore allorché la tensione di rampa è prossima ad essa, si modifica l'istante d'inizio del conteggio, con un conseguente errore nel numero degli impulsi valutati.



b) forme d'onda relative al funzionamento del convertitore a rampa lineare;
 fo = tempo di partenza della rampa;
 T start = tempo di inizio del conteggio;
 T stop = tempo di fine conteggio;
 Vx1 = tensione presente all'ingresso X1 dell'AND
 Vc = impulsi conteggiati.

Questo richiede l'inserimento, a monte del convertitore, di un filtro che richiude la velocità di misura. Altri errori sono dovuti alla sensibilità del comparatore di zero (che arresta il conteggio allorché la tensione di rampa è uguale a zero) e alla stabilità dell'oscillatore di clock.

Convertitore a

semplice integrazione.

Esaminando i convertitori analogici digitali nei precedenti paragrafi, si è posto in evidenza, tra le cause fondamentali di errore, il sovrapporsi di un rumore al segnale V_i da convertire. Il rimedio adottato nei casi sopra esposti, consiste in un filtro passa basso che, disposto all'ingresso del convertitore, elimina le frequenze spurie sovrapposte al segnale, in quanto queste presentano grandezze aleatorie a valor medio nullo; mentre il segnale stesso è una tensione continua. Tuttavia l'inserzione del filtro diminuisce notevolmente la velocità del funzionamento del circuito.

Esaminiamo più a fondo la natura del rumore che in genere si sovrappone ai segnali da convertire, si può osservare che di esso è principalmente responsabile la tensione di rete (fenomeni di ondulazione residua, che riescono a oltrepassare gli elementi di filtraggio oppure introduzione della frequenza di rete attraverso accoppiamenti indesiderati), per cui le frequenze spurie, hanno in genere valore uguale o multiplo di quello di rete.

Il valore medio di una grandezza funzione del tempo $y = f(t)$, in un periodo T , si calcola eseguendone l'integrale esteso ad un periodo e dividendolo per la durata del periodo stesso, secondo la formula:

$$y_m = \frac{1}{T} \int_0^T f(t) dt$$

Applicando tale formula ad una funzione sinusoidale, si ottiene valori nullo; pertanto, se si esegue l'integrale della tensione d'ingresso V_i di un convertitore, si ottiene il duplice effetto di valutarne il valore medio (qualora subisca lievi fluttuazioni) in un intervallo di tempo prestabilito, eguale o multiplo della frequenza di rete e di eliminarne la componente sinusoidale di rumore (alla frequenza di rete e alle sue armoniche), ad esso eventualmente sovrapposta.

in base a questa osservazione, vengono realizzati i convertitori a integrazione. Il convertitore a semplice integrazione riportato nello schema a blocchi di fig. 20a, viene anche definito a conversione tensione-frequenza, in quanto trasforma la tensione V_i in una successione di impulsi, la cui frequenza è proporzionale all'ampiezza della V_i stessa.

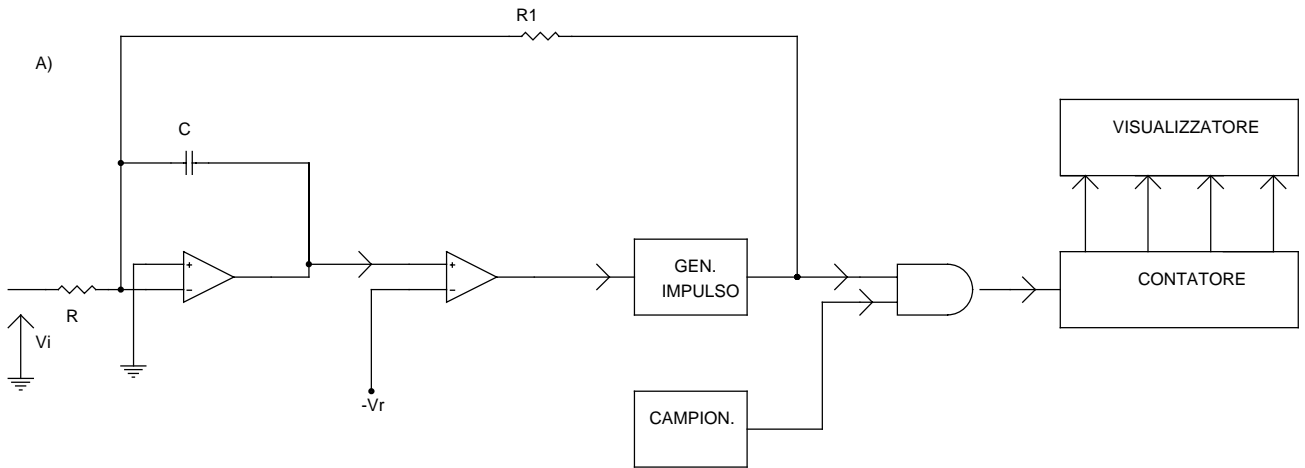


Fig. 20 - a) Schema a blocchi del convertitore A/D a semplice integrazione.

Il funzionamento del convertitore a semplice integrazione può essere descritto nel seguente modo: il blocco campionatore fornisce all'istante t_0 (fig. 20b) di inizio di un ciclo di misura, un livello di tensione elevato "1" all'ingresso x_2 della porta logica AND; nel medesimo istante l'integratore d'ingresso inizia ad integrare la V_i , dando luogo ad una rampa di uscita lineare con pendenza proporzionale alla tensione d'ingresso (fig. 20c).

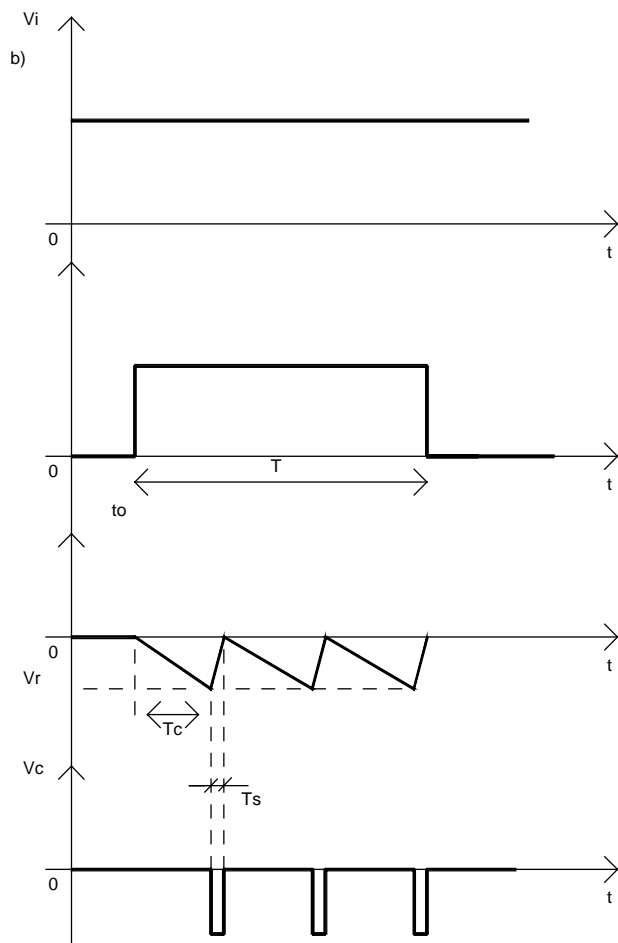
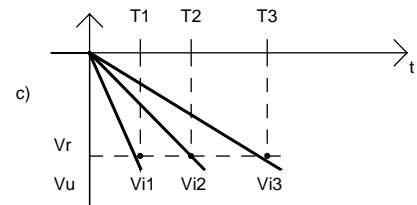


Fig. 40 -b)forma d'onda relativa al convertitore
 T_c = tempo di carica, variabile in funzione dell'ampiezza della tensione d'ingresso; T_s = tempo di scarica fisso;
 T = periodo del campionamento fisso; V_r = tensione di riferimento del campionatore; V_c = impulsi conteggiati; c)rampe a pendenza diversa che raggiungono in tempi diversi la tensione di riferimento V_r . In particolare $V_{i1} > V_{i2} > V_{i3}$ per cui $T_1 < T_2 < T_3$.



Allorché la tensione di rampa raggiunge il valore di riferimento V_r (dopo un tempo T_c variabile, dall'inizio dell'integrazione), il comparatore fornisce un comando al generatore di impulsi: poiché la porta logica And è stata abilitata dal campionatore, l'impulso passa, dall'ingresso x_1 della porta, al comparatore. Lo stesso impulso provoca la scarica rapida (nel tempo fisso T_s , Corrispondente alla durata dell'impulso) della capacità C sulla resistenza R_1 .

Allorché il condensatore è scarico, ha inizio un nuovo processo di integrazione della tensione v_i , con procedimento analogo al precedente. Dopo un tempo fisso T (periodo di campionamento; uguale o multiplo della tensione di rete) il campionatore riporta a livello basso l'ingresso x_2 della porta logica AND e il ciclo di misura termina.

Come poi si dimostrerà la pendenza della rampa di integrazione è proporzionale a V_i , perciò il tempo impiegato a raggiungere V_r è breve se V_i è elevata, è lungo se V_i è bassa. Da questo segue che, nel periodo di campionamento, può essere contenuto un numero di fenomeni di carica e di scarica della capacità, direttamente proporzionale alla intensità della tensione. Poiché il periodo di ogni fenomeno di carica e di scarica è formato dal tempo di carica T_c , variabile in funzione dell'ampiezza della tensione di ingresso e da quella di scarica T_s fisso, la frequenza di ripetizione di tali fenomeni in un periodo di campionamento, vale:

$$f = \frac{1}{T_c + T_s}$$

si comprende che la conversione operata nel modo descritto, possa essere definita di tipo tensione frequenza.

Ad ogni ciclo di campionamento, il contatore numera gli impulsi che giungono al suo ingresso e, poiché ogni impulso viene generato allorché la tensione di rampa raggiunge il valore di riferimento,

l'indicazione letta su un visualizzatore associato al contatore, è proporzionale all'ampiezza della tensione d'ingresso.

Il sistema di conversione a semplice integrazione, ha precisione dipendente da quella del comparatore e dalla stabilità dell'amplificatore operazionale, non che dalla qualità del condensatore di integrazione, e giunge a valori 0,01% a fondo scala. La velocità di misura non è molto elevata (fino a cinquanta cicli al secondo) ma un notevole vantaggio è dato dalla completa esclusione dei disturbi causati dalla frequenza di rete.

Dimostrazione:

il circuito che permette di trasformare la tensione continua V_i in una rampa lineare a pendenza proporzionale a V_i stessa, è un integratore Fig. 21. Con tale dispositivo e con tale connessione possiamo considerare il punto M a potenziale di massa (massa virtuale). In tal modo, nella sezione d'ingresso dell'integratore risulta:

$$i = V_i / R$$

tuttavia, nella sezione d'uscita (cioè attraverso la capacità C), circola la medesima corrente, che può essere pertanto indicata come:

$$i = dq / dt = - d C V_u / dt$$

(il segno negativo è giustificato dall'inversione di fase operata dall'amplificatore, tra la tensione d'ingresso che genera i e quella d'uscita, V_u) ne segue, integrando rispetto al tempo ambo i membri dell'eguaglianza:

$\int i dt = q = -C V_u$ da cui:

$$V_u = - \frac{1}{C} \int i dt$$

sostituendo ad i l'espressione ricavata dalla sezione d'ingresso:

$$V_u = - \frac{1}{C} \int \frac{V_i}{R} dt$$

dato che sia V_i che r sono costanti nel tempo, si ha:

$$V_u = - \frac{V_i}{CR} \int dt = - \frac{V_i t}{CR}$$

L'espressione ottenuta, riportata in un sistema di assi cartesiani, avente in ascissa il tempo t ed in ordinata la tensione di uscita V_u , è rappresentata da una retta a coefficiente angolare:

$$- \frac{V_i}{CR}$$

Si comprende da ciò che, per valori diversi da V_i , si hanno rette (rampe ideali) a pendenza diversa (in particolare, la pendenza cresce, in modulo, al crescere di V_i); pertanto la tensione d'uscita dell'integratore impiega per raggiungere il valore di riferimento fisso, un tempo:

$$T_c = - C R V_u / V_i$$

inversamente proporzionale alla tensione V_i (fig. 20c).

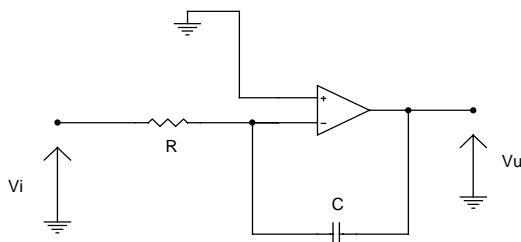


Fig. 21 Circuito generatore di rampe (integratore lineare) realizzato mediante AMP.OF

Convertitore a doppia integrazione.

Il convertitore a doppia integrazione, utilizza il medesimo principio di funzionamento di quello a semplice integrazione, ma presenta, rispetto ad esso, dei perfezionamenti che consentono l'eliminazione della maggior parte delle cause di imprecisione. Per comprendere i vantaggi del sistema a doppia integrazione, rispetto a quello a semplice integrazione, se ne descriva dapprima il funzionamento, con riferimento allo schema a blocchi di fig.22a.

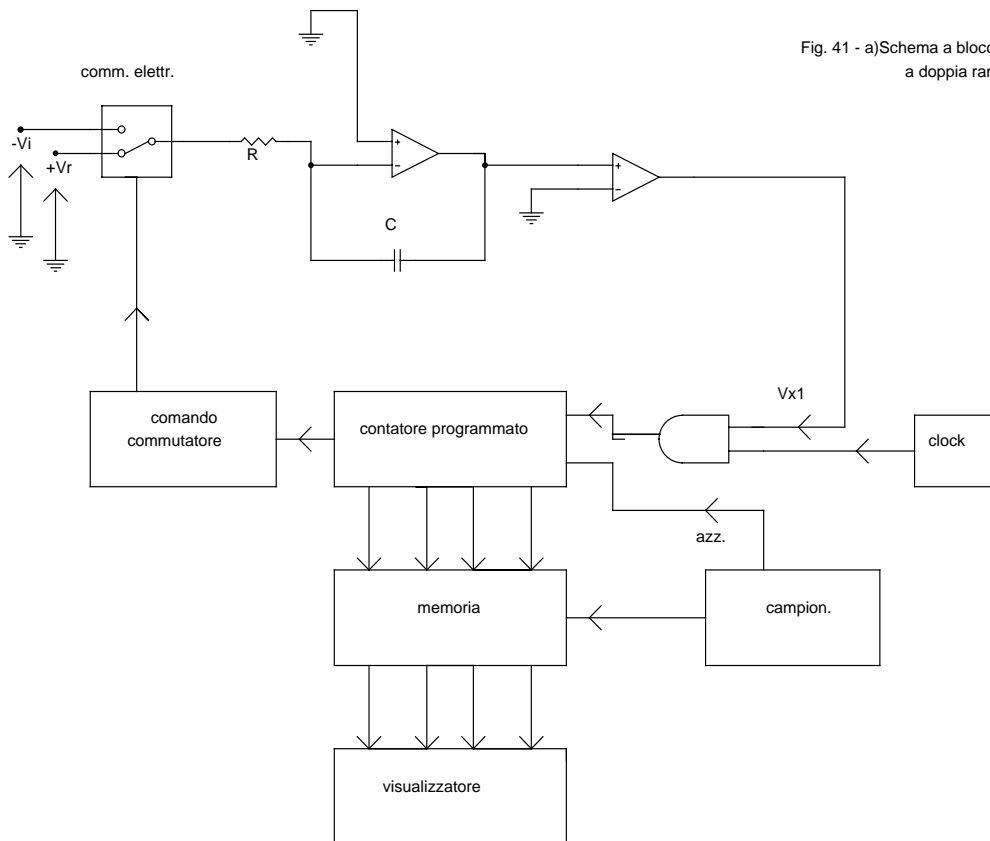


Fig. 41 - a) Schema a blocchi del convertitore a doppia rampa.

All'inizio di un ciclo di conversione, il campionamento fornisce un comando, che azzerava il contatore e questo, agendo sul comando del commutatore elettronico, lo sposta nella posizione 1, in modo che la tensione da convertire $-V_i$ (il segno negativo è giustificato dalla necessità di ottenere, dall'integratore, una tensione che sale verso valori positivi), sia applicata all'ingresso dell'integratore che fornisce, di conseguenza, una rampa crescente di pendenza proporzionale a V_i (fig. 22b), all'ingresso del comparatore di zero. La polarizzazione dell'integratore, è effettuata in modo che la rampa lineare non si origini al potenziale "0", ma ad un potenziale leggermente negativo: Allorché la rampa passa attraverso il valore "0", il comparatore O, fornisce una tensione V_{x1} a livello tale da abilitare la porta logica AND. Questo fa sì che gli impulsi di clock giungano al convertitore.

Poiché questa prima parte di funzionamento del convertitore deve avere durata fissa, il contatore è programmato ovvero, dopo un certo numero di impulsi (prefissato) si azzerava automaticamente. E' evidente che, avute ogni impulso periodico fisso, un numero definito di impulsi, equivale a una quantità di tempo fissa. All'azzeramento del contatore corrispondono un impulso di comando all'interruttore elettronico, che commuta nella posizione 2, portando ai morsetti di ingresso dell'integratore la tensione di riferimento.

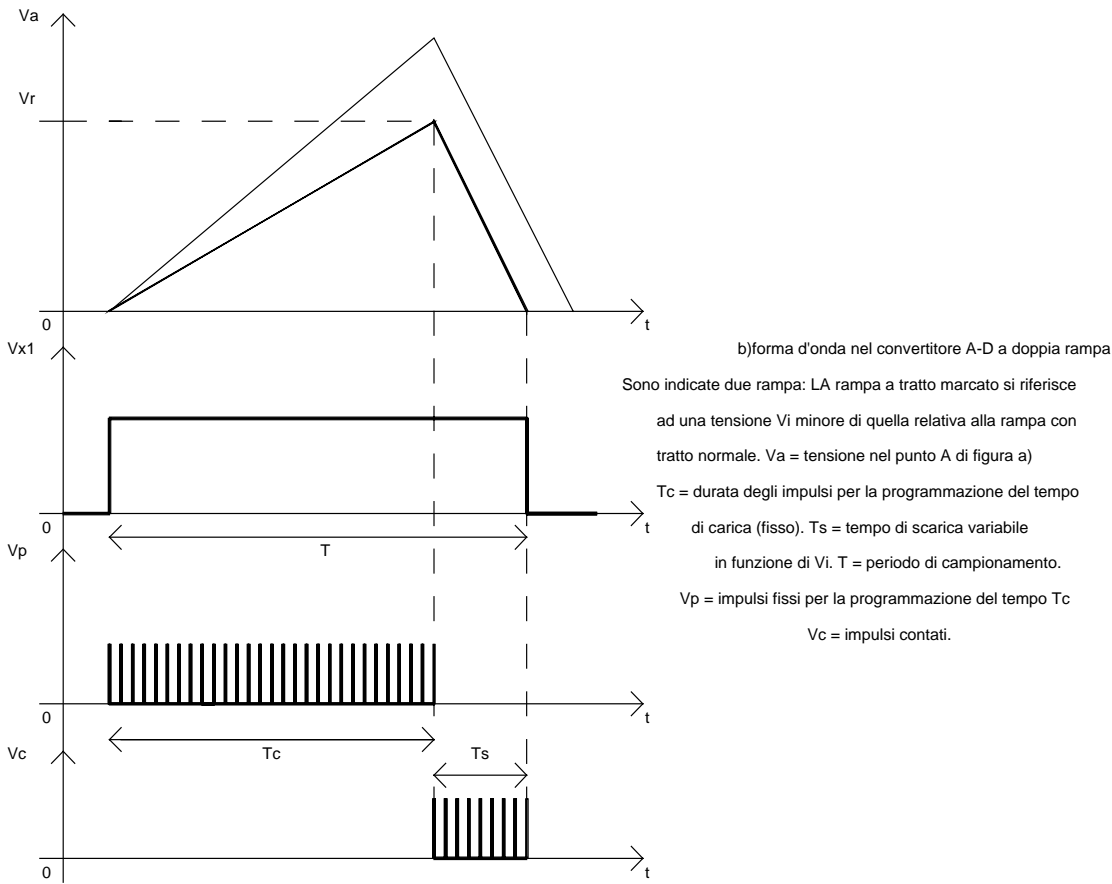
Inizia in tal modo la seconda fase del ciclo di misura: poiché la tensione V_r è positiva, la rampa conseguente alla sua integrazione, è decrescente e prende ordine dal potenziale V_B che si era stabilito ai capi della capacità C , per effetto della carica fornitagli dalla rampa crescente di integrazione V_i .

Contrariamente alla precedente, la rampa originata da V_r , ha pendenza fissa (infatti come è noto, la pendenza vale:

$$- V_r / R C$$

e tutti i membri di tale equazione sono costanti); tuttavia, il tempo da essa impiegato per portare a zero la tensione di uscita del comparatore, non fisso, ma dipende dal livello di tensione iniziale (tensione V_B di fig. 22b): cioè, in sintesi, dal valore della tensione V_i . Non essendosi modificate le condizioni

all'ingresso X_1 della porta logica AND, il contatore, dopo essere stato azzerato, prosegue il conteggio dopo tutta la rampa decrescente e si azzerava solo quando la rampa stessa, passando per lo zero, commuta l'uscita del comparatore. Il numero di impulsi contati durante la rampa decrescente, non è fisso, ma dipende dal tempo impiegato dalla rampa stessa a raggiungere il livello 0.



Poiché tale valore è tanto più lungo quanto maggiore è il valore della tensione iniziale ai capi del condensatore e questa, a sua volta, è direttamente proporzionale alla pendenza della rampa, ovvero alla tensione V_i , se ne conclude che il numero degli impulsi contati durante la rampa decrescente, è direttamente proporzionale alla tensione v_i , pertanto, con taratura opportuna, è possibile visualizzare direttamente il numero degli impulsi come valore di V_i .

Analizzando il convertitore a semplice integrazione, si è osservato che le principali cause di incertezza, sono dovute alla stabilità dell'oscillatore di clock, alla durata del tempo di campionamento, alla precisione del comparatore di 0, e a quella degli elementi R e C dell'integratore. Per contro, il vantaggio più cospicuo, è la possibilità di avere un'azione infinita dei disturbi in alternata e, in particolare del ronzio di rete.

L'integratore a doppia rampa conserva i vantaggi offerti dal sistema a semplice integrazione (si osservi che, in questo caso, il tempo di salita della rampa di integrazione di V_i viene scelto uguale o multiplo del segnale di rete, onde eliminare il ronzio), mentre elimina gran parte delle cause che determinano le imprecisioni del caso precedente. In primo luogo è possibile dimostrare, che, nel sistema di integrazione a doppia rampa, la precisione della conversione è indipendente sia dalla stabilità dell'oscillatore, che dalla qualità degli elementi R e C dell'integratore:

Nella precedente dimostrazione, si è dimostrata la relazione che lega tra loro la tensione di uscita V_u , quella di ingresso V_i , il tempo T_c necessario a descrivere la rampa e i parametri R e C dell'integratore; tale relazione è per la rampa crescente dell'integratore a doppia rampa:

$$V_u = V_i T_c / C R \quad (1)$$

(il segno positivo è dovuto al fatto che v_i è negativa). Nell'integrale a doppia rampa, dopo il tempo T_c viene applicata una rampa decrescente, risultante dalla integrazione della tensione di riferimento V_r , che porta a zero la tensione v_u , pertanto vale la relazione:

$$V_u - V_r T_s / C R = 0$$

essendo T_s il tempo variabile, necessario per portare a zero la tensione V_u , mediante la rampa di integrazione di V_r . Sostituendo al posto di V_u il valore espresso dalla (1) risulta:

$$V_i T_c / C R = V_r T_s / C R = 0$$

da cui:

$$V_i T_c = V_r T_s$$

ovvero:

$$T_s = V_i T_c / V_r$$

come si è osservato il tempo di scarica è indipendente dalla costante $C R$ dell'integratore. In secondo luogo, il contatore esegue la numerazione degli impulsi di clock contenuti nel tempo di scarica T_s ; pertanto, se f_c è la frequenza degli impulsi di clock, il numero di essi, contato in una scarica di durata T_s vale:

$$n = T_s f_c = (V_i T_c / V_r) f_c$$

poiché T_c come è noto, è un tempo fisso, ottenuto programmando il contatore su di un numero n_c d'impulsi, vale la relazione:

$$T_c = n_c / f_c$$

che sostituita nell'espressione di n , fornisce:

$$n = V_i n_c f_c / V_r f_c = V_i n_c / V_r$$

Questo dimostra l'indipendenza del numero d'impulsi contati, dalla frequenza f_c del clock (ovvero dalla stabilità dell'oscillazione).

I parametri di qualifica dei convertitori A-D

Avendo analizzato le soluzioni più attuali e diffuse per la conversione analogico-digitale, si esegue ora un breve riepilogo di quelli che sono i parametri più utilizzati per definire le prestazioni di un DAC.

Alcuni di questi parametri sono già noti in quanto, per la loro importanza fondamentale, sono stati premessi allo studio delle diverse tipologie, altri verranno brevemente descritti nel seguito.

Risoluzione

Come è noto, rappresenta la tensione corrispondente a un numero di codifica. E' legata al numero n di bit della parola di codice, dalla relazione:

$$R = \frac{V_{i\max}}{2^n - 1} \quad \text{ovvero} \quad R(\%) = \frac{1}{2^n - 1} \cdot 100$$

Poiché nella relazione che esprime la risoluzione percentuale, l'unica variabile è il numero n dei bit, i costruttori forniscono in genere la risoluzione come numero di bit della parola del convertitore. Si osservi che, inversamente, il valore n è legato alla risoluzione percentuale alla relazione:

$$n = \lg_2 \frac{100 + R(\%)}{R(\%)}$$

Nel seguito si riportano i valori di risoluzione di alcuni dei convertitori più diffusi:

	ADC 0800	ADC 0808	ADC 0809	ADC 1001C	ADC 1205B
n	8 BIT	8 BIT	8 BIT	10 BIT	12 BIT

Tempi di conversione.

Rappresenta il tempo necessario al convertitore per fornire all'uscita la parola binaria corrispondente al campione di segnale che sta convertendo. In tabella si forniscono i tempi di conversione tipici di alcuni integrati commerciali:

	ADC0800	ADC0808	ADC0809	ADC1001C	ADC1205B
Tc	50 micro sec	100 micro sec	100 micro sec	200 micro sec	100 micro sec

Gli errori.

Tra i parametri che qualificano i convertitori, rivestono notevole importanza gli errori, che possono essere di diversa origine e che determinano comunque uno scarto tra il valore teorico corrispondente alla codifica del segnale d'ingresso e quello effettivamente ottenibile all'uscita.

1) Incertezza o errore di quantizzazione: come è noto, rappresenta l'errore sistematico del convertitore, insito nel principio stesso della conversione e costituisce il livello di indeterminazione associato alla fascia di valori della tensione d'ingresso, che vengono codificati mediante la stessa parola binaria.

$$\varepsilon = \frac{R}{2} = \frac{1}{2} \cdot \frac{V_{i \max}}{2^n - 1}$$

L'errore di quantificazione viene anche espresso in percentuale, rapportandolo alla massima tensione convertita, ovvero:

$$\varepsilon (\%) = \frac{1}{2} \cdot R(\%)$$

2) Errore di guadagno: è la differenza (normalmente espressa in LSB), tra la tensione d'ingresso che dovrebbe dare luogo ad un codice d'uscita pari al fondo scala e la effettiva tensione che produce quel fondo scala.

3) Errore di offset: è un valore continuo che si somma alla tensione da convertire, modificandola di una entità fissa in ogni suo punto; in pratica corrisponde al codice che si ha in uscita, allorché all'ingresso non viene applicato segnale.